

**S miconductor m mory d vic**

Patent Number: ☐ US5687123

Publication date: 1997-11-11

Inventor(s): TOMISHIMA SHIGEKI (JP); ASAKURA MIKIO (JP); HIDAKA HIDETO (JP); OOISHI TSUKASA (JP); TSUKUDE MASAKI (JP); ARIMOTO KAZUTAMI (JP); FUJISHIMA KAZUYASU (JP)

Applicant(s): MITSUBISHI ELECTRIC CORP (JP)

Requested Patent: ☐ JP7240093

Application Number: US19940312968 19940930

Priority Number (s): JP19930257328 19931014; JP19940001017 19940110; JP19940148007 19940629

IPC Classification: G11C7/00

EC Classification: G11C7/12, G11C7/14, G11C5/14, G11C5/14R, G11C7/06C, G11C7/06S, G11C8/08, G11C8/408C, G11C11/4074, G11C11/4091

Equivalents: KR165908

---

**Abstract**

---

Drains of first and second transistors are connected to a low level line of an internal circuitry such as a sense amplifier related to determination of a potential in a memory cell. The first transistor has its gate diode-connected to a sense drive line and its source grounded. The second transistor receives at its gate an internally generated signal, and its source is grounded. In the standby state, the potential of the sense drive line is set higher than low level of said word lines by the threshold voltage  $V_{thn}$  of the first transistor and used as dummy GND potential  $V_{ss'}$ , and in the active state, the second transistor is rendered conductive so as to prevent floating of the sense drive line from the dummy GND potential  $V_{ss'}$ .

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-240093

(43) 公開日 平成7年(1995)9月12日

(51) Int.Cl.<sup>6</sup>

G 1 1 C 11/407

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/ 34

3 5 4 F

審査請求 未請求 請求項の数57 O L (全 46 頁)

(21) 出願番号 特願平6-148007

(22) 出願日 平成6年(1994)6月29日

(31) 優先権主張番号 特願平5-257328

(32) 優先日 平5(1993)10月14日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平6-1017

(32) 優先日 平6(1994)1月10日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 富嶋 茂樹

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究  
所内

(72) 発明者 日高 秀人

兵庫県伊丹市瑞原4丁目1番地 三菱電機

株式会社ユー・エル・エス・アイ開発研究  
所内

(74) 代理人 弁理士 深見 久郎 (外3名)

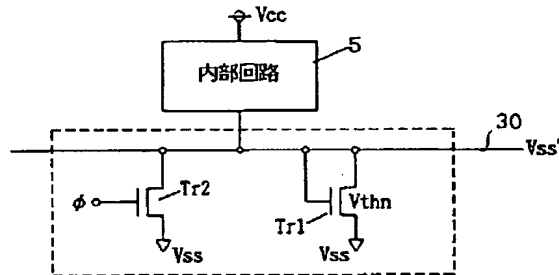
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 ディスタープリフレッシュに強く、メモリセルトランジスタのしきい値を低く設定でき、信頼性の向上を図れ、昇圧電圧発生回路を不要にでき、トリプルウェル構造を不要にできるような半導体記憶装置を提供する。

【構成】 メモリセルの電位を決定することに関する、たとえばセンスアンプのような内部回路5の低レベルのライン30にトランジスタTr1とTr2の各ドレインを接続し、トランジスタTr1のゲートをセンスドライブライン30にダイオード接続し、ソースを接地する。トランジスタTr2のゲートに内部発生信号φを与え、ソースを接地する。スタンバイ時には、センスドライブライン30の電位をトランジスタTr1のしきい値電圧V<sub>thn</sub>だけ接地電位より高くして擬似GND電位V<sub>ss'</sub>とし、アクティブ時には、トランジスタTr2を導通させ、センスドライブライン30が擬似GND電位V<sub>ss'</sub>から浮上がるのを防止する。



## 【特許請求の範囲】

【請求項1】 それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続された複数のメモリセルを含むメモリセルアレイ、

前記メモリセルアレイから前記ビット線に読出された微小電位差を増幅するためのセンスアンプ、

前記メモリセルアレイからのデータの読出および前記メモリセルアレイへのデータの書込を制御する制御手段、および前記ビット線と前記メモリセルと前記センスアンプの低レベル電位のラインを接地電位よりも高い電位に設定するための電位設定手段を備えた、半導体記憶装置。

【請求項2】 前記電位設定手段は、そのしきい値電圧だけ前記低レベル電位のラインの電位を高めるための第1の半導体素子を含む、請求項1の半導体記憶装置。

【請求項3】 前記電位設定手段は、前記第1の半導体素子に対して並列に接続され、大電流が流れる期間に相当する信号に応じて導通し、前記低レベル電位のラインの電位を放電するための第2の半導体素子を含む、請求項2の半導体記憶装置。

【請求項4】 前記電位設定手段は、前記低レベル電位とほぼ等しい基準電圧を発生する基準電圧発生手段、および前記低レベル電位のラインと前記基準電圧発生手段から発生された基準電圧とを比較し、前記低レベル電位のラインの電位を前記接地電位よりも高い電位に補償するための電位補償手段を含む、請求項3の半導体記憶装置。

【請求項5】 前記電位補償手段は、前記低レベル電位のラインの電位と前記基準電圧とを比較する比較手段、および前記比較手段の比較出力に応じて、電源ラインの電位を前記低レベル電位のラインに供給して、前記接地電位よりも高い電位に設定するためのスイッチング手段を含む、請求項4の半導体記憶装置。

【請求項6】 前記電位設定手段は、前記低レベル電位のラインに断続的に電源電位を供給して、そのラインの電位を接地電位よりも高いレベルに補償するためのサステイン手段を含む、請求項3の半導体記憶装置。

【請求項7】 前記サステイン手段は、断続的に発振する発振回路、および前記発振回路の発振出力に応じて、前記電源電圧を前記低レベル電位のラインに供給するためのポンピング回路を含む、請求項6の半導体記憶装置。

【請求項8】 前記電位設定手段は、前記低レベル電位のラインの電位とほぼ等しい基準電圧を発生する基準電圧発生手段、前記基準電圧発生手段からの基準電圧と前記低レベル電位のラインの電位とを比較する比較手段、および前記比較手段の比較出力に応じて、前記低レベル電位のラインの電位を前記接地電位側に放電するスイッチング手段を含む、請求項1の半導体記憶装置。

【請求項9】 さらに、前記スイッチング手段と前記低レベル電位のラインとの間に接続され、前記低レベル電位のラインの電位が前記接地電位よりも高い電位から低下するのを防止するレベル低下防止手段を含む、請求項8の半導体記憶装置。

【請求項10】 前記レベル低下防止手段はダイオードを含む、請求項9の半導体記憶装置。

【請求項11】 さらに、前記スイッチング手段および前記ダイオードの接続点と接地電位との間に接続され、電位変動を吸収するためのデカップリング用のコンデンサを含む、請求項10の半導体記憶装置。

【請求項12】 さらに、大電流が流れる期間に相当する信号に応じて、前記電圧比較手段を不能化させる電圧比較停止手段、および前記大電流が流れる期間に相当する信号に応じて、前記スイッチング手段を強制的に動作させ、前記低レベル電位のラインの電位が浮上するのを防止する浮上がり防止手段を含む、請求項8の半導体記憶装置。

【請求項13】 前記センスアンプは、その低レベルの電位のラインと接地間に接続され、そのしきい値電圧分だけ前記低レベル電位のラインの電位を高めるためのスイッチング素子を含む、請求項1の半導体記憶装置。

【請求項14】 前記スイッチング素子は、大電流が流れる期間に相当する信号に応じて導通する、請求項13の半導体記憶装置。

【請求項15】 前記スイッチング素子は、その入力電極が接地電位以下になったことに応じて導通し、さらに、負電位の電圧を発生する負電位電圧発生手段、および前記大電流が流れる期間に相当する信号に応じて、その期間だけ前記負電位電圧発生手段から発生された負電位の電圧を前記スイッチング素子の入力電極に与えて応答時間を速くするための切換手段を含む、請求項14の半導体記憶装置。

【請求項16】 前記切換手段は、前記大電流が流れる期間に相当する期間の前半の期間において前記スイッチング素子の入力電極に接地電位を与え、後半の期間に前記負電位を前記スイッチング素子の入力電極に与えることを特徴とする、請求項15の半導体記憶装置。

【請求項17】 さらに、前記ワード線を駆動するためのワード線駆動手段を含み、前記ワード線駆動手段の低レベル電位のラインを接地側または前記電位設定手段の出力側に切換えるための切換手段を含む、請求項1の半導体記憶装置。

【請求項18】 前記切換手段は、前記ワード線が第1の論理から第2の論理に立上がる前に前記接地電位側から前記電位設定手段の出力側に切換えることを特徴とする、請求項17の半導体記憶装置。

【請求項19】 前記メモリセルアレイは複数ブロック単位で配置されていて、前記切換手段は、前記各ブロック単位で前記ワード線が

第1の論理から第2の論理に立上がる前に、前記接地電位側から前記電位設定手段の出力側に切換えることを特徴とする、請求項17の半導体記憶装置。

【請求項20】 前記切換手段は、前記各ブロック内において、選択されたワード線が第1の論理から第2の論理に立上げられた後、選択されていないワード線を前記電位設定手段の出力側から接地電位側に切換えることを特徴とする、請求項19の半導体記憶装置。

【請求項21】 それぞれが複数のビット線のうちの1本と、複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイ、  
前記メモリセルアレイから前記ビット線に読出された微小電位差を増幅するためのセンスアンプ、  
前記メモリセルアレイからのデータの読出および前記メモリセルアレイへのデータの書込を制御する制御手段、  
前記ビット線と前記メモリセルと前記センスアンプの低レベルの電位のラインを接地電位よりも高い電位に設定するための電位設定手段、  
前記電位設定手段によって設定された接地電位よりも高い電位が低下したことに応じて、その電位が上昇するように補償する電位上昇補償手段、および前記電位設定手段によって設定された接地電位よりも高い電位が上昇したことに応じて、その電位が降下するように補償する電位降下補償手段を備えた、半導体記憶装置。

【請求項22】 それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイ、  
前記メモリセルアレイから前記ビット線に読出された微小電位差を増幅するためのセンスアンプ、  
前記メモリセルアレイからのデータの読出および前記メモリセルアレイへのデータの書込を制御する制御手段、  
前記センスアンプを駆動するための駆動ライン、および前記センスアンプの駆動時に、前記センスアンプ駆動ラインの低レベルの電位を接地電位よりも高い電位に設定する電位設定手段を備えた、半導体記憶装置。

【請求項23】 前記電位設定手段は、前記センスアンプ駆動ラインを接地電位よりも高くかつ前記ビット線のプリチャージレベルよりも低い電位に設定することを特徴とする、請求項22の半導体記憶装置。

【請求項24】 前記電位設定手段は、前記センスアンプ駆動ラインを前記ワード線が選択されていないときのレベルよりも高いレベルに設定することを特徴とする、請求項22の半導体記憶装置。

【請求項25】 前記電位設定手段は、前記接地電位よりも高い電位を発生する電位発生回路、および前記センスアンプの駆動時に、前記電位発生回路から発生された電位を前記センスアンプ駆動ラインに供給するための半導体素子を含む、請求項22～24のいずれかに記載の半導体記憶装置。

【請求項26】 前記電位設定手段は、

前記センスアンプを駆動する初期の期間において、前記センスアンプ駆動ラインを接地電位に強制する第1の電位強制手段、および前記センスアンプを駆動する初期の期間経過後において、前記センスアンプ駆動ラインを接地電位よりも高い電位に強制する第2の電位強制手段を含む、請求項22～24のいずれかに記載の半導体記憶装置。

【請求項27】 前記第2の電位強制手段は、前記接地電位よりも高い電圧を発生する電位発生回路、および前記電位発生回路から出力された電圧を前記センスアンプ駆動ラインに供給するための第1の半導体素子を含む、請求項26の半導体記憶装置。

【請求項28】 前記第2の電位強制手段は、前記センスアンプを駆動する初期の期間経過後に導通する第2の半導体素子、および前記第2の半導体素子と接地間にダイオード接続されるトランジスタ素子を含む、請求項26の半導体記憶装置。

【請求項29】 前記電位設定手段は、前記センスアンプ駆動時に、予め定める基準電圧と前記センスアンプ駆動ラインの電圧を比較する比較手段、および前記比較手段の比較出力に応じて、前記センスアンプ駆動ラインの低レベルの電位を接地電位よりも高い電位に放電する第1の半導体素子を含む、請求項22の半導体記憶装置。

【請求項30】 さらに、前記センスアンプの非駆動時に前記第1の半導体素子を非導通に強制するための第2の半導体素子を含む、請求項29の半導体記憶装置。

【請求項31】 さらに、前記センスアンプ駆動ラインの電圧をレベル変換して、前記比較手段に比較入力として与えるレベル変換手段を含む、請求項29の半導体記憶装置。

【請求項32】 前記比較手段は、前記センスアンプの非駆動時に前記第1の半導体素子に負電位の電圧を与えることを特徴とする、請求項29の半導体記憶装置。

【請求項33】 前記比較手段は、電流比較回路を含む、請求項30の半導体記憶装置。

【請求項34】 前記電流比較回路は、比較レベルにヒステリシス特性を持たせるためのヒステリシス制御手段を含む、請求項33の半導体記憶装置。

【請求項35】 さらに、前記メモリセルのデータの保持時間をテストするためのテスト回路、および前記テスト回路によって前記メモリセルをテストするときに、前記センスアンプ駆動ラインを接地電位に強制するための接地電位強制手段を含む、請求項22の半導体記憶装置。

【請求項36】 前記メモリセルアレイは複数ブロック単位で配置されていて、前記電位設定手段は各ブロックごとに設けられる、請求項22の半導体記憶装置。

【請求項37】 それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリ

5

セルを含むメモリセルアレイ、  
前記メモリセルアレイから前記ビット線に読出された微小電位差を増幅するためのセンスアンプ、  
前記ビット線と前記センスアンプとの間に接続される転送ゲート、および前記センスアンプを駆動したとき、前記転送ゲートのゲート電位を接地電位とし、前記ビット線の低レベル電位を前記転送ゲートのしきい値電圧だけ高くなるように制御する制御手段を備えた、半導体記憶装置。

【請求項38】 前記制御手段は、前記センスアンプを駆動したときの前記ビット線の低レベル電位を前記センスアンプの低レベル電位よりも高い電位に切換える切換手段を含む、請求項37の半導体記憶装置。

【請求項39】 前記制御手段は、前記センスアンプを駆動したときの低レベル電位が前記センスアンプ駆動終了前の前記ビット線の低レベル電位よりも高くなるように前記センスアンプの低レベル電位を切換える切換手段を備えた、請求項37の半導体記憶装置。

【請求項40】 さらに、前記センスアンプを駆動するための駆動ラインを含み、  
前記切換手段は、前記センスアンプ駆動開始時に前記センスアンプの駆動ラインを接地電位に接続し、初期センス動作後、前記駆動ラインを前記接地電位よりも高い電位に切換えることを特徴とする、請求項37の半導体記憶装置。

【請求項41】 それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイ、  
前記メモリセルアレイから前記ビット線に読出された微小電位差を増幅するためのセンスアンプ、  
前記メモリセルアレイからのデータの読出および前記メモリセルアレイへのデータの書込を制御する制御手段、  
および前記ビット線と前記メモリセルと前記センスアンプの低レベル電位のラインを接地電位よりも高い電位に設定し、かつ高レベル電位を外部から供給される電源電圧のレベルよりも低い電位に設定するための電位設定手段を備えた、半導体記憶装置。

【請求項42】 前記電位設定手段は、前記低レベル電位と前記高レベル電位をそれぞれ任意の電位に設定可能であることを特徴とする、請求項41の半導体記憶装置。

【請求項43】 前記電位設定手段は、前記低レベル電位と前記高レベル電位との電位差を一定に保った状態で前記低レベル電位と前記高レベル電位とを任意に設定可能であることを特徴とする、請求項42の半導体記憶装置。

【請求項44】 前記電位設定手段は、  
第1の基準電位に基づいて、前記高レベル電位を設定するための高レベル電位設定手段と、  
第2の基準電位に基づいて、前記低レベル電位を設定す

6

るための低レベル電位設定手段とを含む、請求項41～43のいずれかに記載の半導体記憶装置。

【請求項45】 さらに、前記第1の基準電位と前記第2の基準電位を発生するための基準電位発生手段を含む、請求項44の半導体記憶装置。

【請求項46】 前記基準電位発生手段は、前記第1の基準電位と前記第2の基準電位とのレベル差を一定に保った状態で発生することを特徴とする、請求項45の半導体記憶装置。

【請求項47】 前記電位設定手段は、一定の期間だけ前記低レベル電位を前記接地電位とほぼ等しい電位に切換えるための切換手段を含む、請求項41～43のいずれかに記載の半導体記憶装置。

【請求項48】 前記電位設定手段は、  
それぞれが前記第1の基準電位を任意の電位に設定するために並列接続された複数の第1の抵抗と、  
それぞれが前記複数の第1の抵抗に対応して直列接続され、溶断されることによって対応の第1の抵抗を無効にする複数の第1のヒューズと、

それぞれが前記第2の基準電位を任意の電位に設定するために並列接続された複数の第2の抵抗と、  
それぞれが前記複数の第2の抵抗に対応して直列接続され、溶断されることによって対応の第2の抵抗を無効にする複数の第2のヒューズとを含む、請求項41～43のいずれかに記載の半導体記憶装置。

【請求項49】 さらに、前記複数の第1および第2のヒューズのそれぞれに対して直列接続され、それぞれを導通または非導通にして前記第1および第2の基準電位を調節するための複数のトランジスタを含む、請求項48の半導体記憶装置。

【請求項50】 外部から電源電圧が供給される内部回路を有する半導体記憶装置であって、  
前記内部回路に供給される高レベルの電位を前記外部から供給される電源電圧とは異なる電位に設定するとともに、前記内部回路に供給される低レベルの電位を接地電位とは異なる電位に設定するための電位設定手段、および前記半導体記憶装置の使用時と非使用時とで前記電位設定手段によって設定される高レベルの電位と低レベルの電位とを変化させるための手段を備えた、半導体記憶装置。

【請求項51】 半導体基板上にチップが形成された半導体記憶装置であって、  
それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイ、  
前記メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプ、  
前記メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段、  
前記半導体基板に負レベルの基板電位を供給するための

基板電位発生手段、  
前記ワード線に供給する昇圧電圧を発生するための昇圧電圧発生手段および、  
チップの使用時と非使用時とで前記昇圧電圧の電位と前記負レベル電位を任意の電位に切換える電位設定手段とを備えた半導体記憶装置。

【請求項52】 それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続された複数のメモリセルを含むメモリセルアレイ、  
前記メモリセルアレイから前記ビット線に読出された微小電位差を増幅するためのセンスアンプ、  
前記メモリセルアレイからのデータの読出および前記メモリセルアレイへのデータの書込を制御する制御手段、  
前記ビット線と前記メモリセルと前記センスアンプの低レベル電位のラインを接地電位よりも高い電位に設定するための電位設定手段、および前記電位設定手段によって設定された低レベル電位を補償するための電位補償手段を備えた、半導体記憶装置。

【請求項53】 半導体基板上にチップが形成された半導体記憶装置であって、  
それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイ、  
前記メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプ、  
前記メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段、  
前記ビット線と前記メモリセルと前記センスアンプの低レベル電位のラインを接地電位よりも高い電位に設定するための電位設定手段、および前記メモリセルのデータの保持時間をテストするときに、前記ビット線と前記メモリセルと前記センスアンプの低レベル電位のラインを接地電位に強制するための接地電位強制手段を備えた、半導体記憶装置。

【請求項54】 さらに、前記ワード線を駆動するためのワード線駆動手段、および前記メモリセルのデータ保持時間をテストするときに、前記ワード線駆動手段の低レベル電位のラインを接地側から前記電位設定手段の出力側に切換えるための切換手段を含む、請求項53に記載の半導体記憶装置。

【請求項55】 半導体基板上にチップが形成された半導体記憶装置であって、  
それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイ、  
前記ワード線を駆動するためのワード線駆動手段、  
前記メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプ、  
前記メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段、およ

び前記メモリセルのデータの保持時間をテストするときに、前記ワード線駆動手段の低レベル電位のラインを接地電位よりも高い電位に設定するための電位設定手段を備えた、半導体記憶装置。

【請求項56】 さらに、前記半導体基板に負レベルの基板電位を供給するための基板電位発生手段、および前記メモリセルのデータの保持時間をテストするときに、前記半導体基板の基板電位を前記負レベルの基板電位よりも高く設定するための基板電位設定手段を含む、請求項53ないし55のいずれかに記載の半導体記憶装置。

【請求項57】 半導体基板上にチップが形成された半導体記憶装置であって、

それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイ、

前記メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプ、

前記メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段、および前記半導体基板に負レベルの基板電位を供給するための基板電位発生手段、

前記メモリセルのデータの保持時間をテストするときに、前記半導体基板の基板電位を前記負レベルの基板電位よりも高く設定するための基板電位設定手段を備えた、半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体記憶装置に関し、特に、半導体基板上に配置されたメモリセルアレイとセンスアンプとそれらを制御する回路とを含むダイナミックランダムアクセスメモリにおいて、メモリセルアレイを構成するビット線とメモリセルとセンスアンプの低レベル電位をチップ本体の接地電位よりも高くなるようにした半導体記憶装置に関する。

【0002】

【従来の技術】図101は従来のDRAMの要部を示す回路図である。図101において、メモリセルMCはワード線WLとビット線対BL、/BLに接続されている。ビット線対BL、/BLは転送ゲートTr71、Tr72を介してnチャネルセンスアンプ2、イコライザ回路3およびpチャネルセンスアンプ4に接続されている。転送ゲートTr71、Tr72はゲート制御信号BLIによって制御される。イコライザ回路3には1/2Vccの電位のVBL信号が与えられるとともに、EQ信号が与えられる。そして、イコライザ回路3はEQ信号に応じて、VBL信号により、ビット線対BL、/BLを1/2Vcc電位にプリチャージする。センスアンプ2、4はそれぞれビット線対BL、/BLにメモリセルMCから読出された微小電位差を増幅するものであり、センスアンプ2はセンスドライブラインSNにセン

スアンプ活性化信号SOが与えられると活性化され、センスアンプ4はセンスドライブレインSPに活性化信号／SOが与えられると活性化される。

【0003】図102は図101に示したメモリアレイの動作を説明するためのタイムチャートである。図101に示すメモリアレイは複数ブロック設けられており、それぞれに対応のブロック活性化信号が与えられると活性化される。ただし、このときは、まだセンスアンプ2、4は活性化されていない。メモリアルMCからデータを読出すときには、BL1信号が「H」レベルとなり、転送ゲートTr71、Tr72が導通し、ビット線対BL、／BLがセンスアンプ2、4とイコライザ回路3とに接続される。ワード線WLが図102(a)に示すように、昇圧電圧Vppまで立上げられると、ビット線対BL、／BLにメモリアルMCから微小電位差が読出され、図102(b)、(c)に示す活性化信号SOが「H」レベルとなり、活性化信号／SOが「L」レベルになると、センスアンプ2、4はそれぞれ活性化される。そして、ビット線対BL、／BLの微小電位差がセンスアンプ2、4によって増幅され、「H」レベル側または「L」レベル側に向けて電位がエンハンスされる。

【0004】

【発明が解決しようとする課題】ところで、ビット線対BL、／BLの振幅における「L」レベルは接地電位であり、この場合選択されていないワード線の「L」レベルはビット線対BL、／BLの振幅における「L」レベルと同等となる。このため、接地電位になっているワード線のサブスレッショルドリーク電流によりメモリアルMCに蓄積されている電荷がビット線側に流出減少し、メモリアルMCのデータが破壊される可能性が生じる。これを防止するために、メモリアレイ部に負電圧バイアスVbbを印加する方法がとられているが、負電圧バイアスVbbを発生するための負電位発生回路を必要としたり、メモリアレイ動作に伴う電流が接地側に流れ込むことによりアレイノイズが増大し、非選択ワード線の「L」レベルが浮上がり、ワード線のサブスレッショルドリーク電流が増大し、リフレッシュ特性が悪化するという危険性があった。

【0005】それゆえに、この発明の主たる目的は、ディスタブリフレッシュに強くでき、メモリアルトランジスタのしきい値を低く設定でき、信頼性の向上が図れるとともに、トリプルウェル構造を不要にし得る半導体記憶装置を提供することである。

【0006】

【課題を解決するための手段】請求項1に係る発明は、それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリアルを含むメモリアルレイと、メモリアルレイからビット線に読出された微小電位差を増幅するためのセンスアンプと、メモリアルレイからのデータの読出およびメモリアルレイ

イへのデータの書込を制御する制御手段と、ビット線とメモリアルとセンスアンプの低レベル電位のラインを接地電位よりも高い電位に設定するための電位設定手段とを備えて構成される。

【0007】より好ましくは、電位設定手段は半導体素子のしきい値電圧だけ低レベル電位のラインの電位を高めるため、大電流が流れる期間に相当する信号に応じて第2の半導体素子によって低レベル電位のラインの電位を放電させる。

【0008】さらに、より好ましくは、電位設定手段は、低レベル電位とほぼ等しい基準電圧を発生する基準電圧発生手段と、この基準電圧と低レベル電位のラインとを比較し、低レベル電位のラインの電位を接地電位よりも高い電位に補償するための電位補償手段を含む。この電位補償手段は、比較手段と比較手段の比較出力によりスイッチングするためのスイッチング手段を含む。

【0009】さらに、電位設定手段は、低レベル電位のラインに断続的に電源電位を供給して、その電位を接地電位よりも高いレベルに補償するためのサステイン手段を含む。このサステイン手段は、発振回路とポンピング回路とから構成される。

【0010】さらに、より好ましくは、電位設定手段は、基準電圧を発生する基準電圧発生手段と、この基準電圧と低レベル電位のラインの電位とを比較する比較手段と、比較手段の出力により、低レベル電位のラインの電位を接地電位側に放電するスイッチング手段とを含む。

【0011】さらに、より好ましくは、低レベル電位のラインの電位が接地電位よりも高い電位から低下するのを防止するダイオードのような低レベル低下防止手段が設けられる。

【0012】さらに、より好ましくは、大電流が流れる期間に電圧比較手段を不能化させる電圧比較停止手段と、大電流が流れる期間にスイッチング手段を強制的に動作させ、低レベル電位のラインの電位が浮上がるのを防止する浮上がり防止手段を含む。

【0013】さらに、より好ましくは、センスアンプは、低レベル電位のラインと接地間に接続され、そのしきい値電圧分だけ低レベル電位のラインの電位を高めるためのスイッチング素子を含む。このスイッチング素子は、入力電位が接地電位以下になったとき導通し、大電流が流れる期間に負電位をスイッチング素子の入力電極に与えて応答時間を速くするための切換手段を含む。この切換手段は、大電流が流れる期間の前半の期間においてスイッチング素子の入力電極に接地電位を与え、後半の期間に負電位を与える。

【0014】ワード線を駆動するためのワード線駆動手段が設けられ、このワード線駆動手段の低レベル電位のラインを接地側または接地電位よりも高い電位に切換えるための切換手段を含む。この切換手段は、ワード線が

第1の論理から第2の論理に立上がる前に接地電位側から接地電位よりも高い電位側に切換えられる。

【0015】メモリセルアレイは複数ブロック単位で配置されていて、各ブロック単位でワード線が第1の論理から第2の論理に立上がる前に接地電位からそれよりも高い電位側に切換えられる。

【0016】請求項21に係る発明は、それぞれが複数のビット線のうちの1本と、複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイと、メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプと、メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段と、ビット線とメモリセルとセンスアンプの低レベルの電位のラインを接地電位よりも高い電位に設定する電位設定手段と、設定された接地電位よりも高い電位が低下したことに応じて、その電位が上昇するように補償する電位上昇補償手段と、その電位が上昇したことに応じてその電位を降下するように補償する電位降下補償手段とを備えて構成される。

【0017】請求項22に係る発明は、それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイと、メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプと、センスアンプを駆動するための駆動ラインと、センスアンプの駆動時に、その駆動ラインの低レベルの電位を接地電位よりも高い電位に設定する電位設定手段を備えて構成される。

【0018】より好ましくは、センスアンプ駆動ラインを接地電位よりも高くかつビット線のプリチャージレベルよりも低い電位に設定されるかあるいはワード線が選択されていないときのレベルよりも高いレベルに設定される。そして、電位設定手段は、接地電位よりも高い電位を発生する電位発生回路と、センスアンプ駆動時に発生された電位をセンスアンプ駆動ラインに供給するための半導体素子を含む。

【0019】より好ましくは、電位設定手段は、センスアンプを駆動する初期の期間において、センスアンプ駆動ラインを接地電位に強制する第1の電位強制手段と、その期間経過後にセンスアンプ駆動ラインを接地電位よりも高い電位に強制する第2の電位強制手段を含む。この第2の電位強制手段は、接地電位よりも高い電位を発生する電位発生回路と、その電位をセンスアンプ駆動ラインに供給するための半導体素子を含む。あるいは、第2の電位強制手段は、センスアンプを駆動する初期の期間経過後に導通する半導体素子と、半導体素子と接地間にダイオード接続されるトランジスタ素子を含む。

【0020】電位設定手段は、センスアンプ駆動時に、予め定める基準電圧とセンスアンプ駆動ラインの電圧とを比較する比較手段と、その比較出力に応じて、センスアンプ駆動ラインの低レベルの電位を接地電位よりも高

い電位に放電する半導体素子を含む。さらに、センスアンプの非駆動時に半導体素子を非導通に強制するための半導体素子を含む。

【0021】比較手段は、センスアンプの非駆動時に放電用半導体素子に負電圧を与える。比較手段は電流比較回路、より好ましくは比較レベルにヒステリシス特性を持たせるためのヒステリシス制御手段を含む。

【0022】請求項37に係る発明は、それぞれが複数のビット線のうちの1本と、複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイと、メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプと、ビット線とセンスアンプとの間に接続される転送ゲートと、センスアンプを駆動したとき、転送ゲートのゲート電位を接地電位とし、ビット線の低レベル電位を転送ゲートのしきい値電圧となるように制御する制御手段を備えて構成される。

【0023】より好ましくは、制御手段は、センスアンプを駆動したときのビット線の低レベル電位がセンスアンプの低レベル電位よりも高い電位に切換える切換手段を含む。また、制御手段は、センスアンプを駆動したときの低レベル電位がセンスアンプ駆動終了前のビット線の低レベル電位よりも高くなるようにセンスアンプの低レベル電位を切換える切換手段を含む。

【0024】請求項41に係る発明は、それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続された複数のメモリセルを含むメモリセルアレイと、メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプと、メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段と、ビット線とメモリセルとセンスアンプの低レベル電位のラインを接地電位よりも高い電位に設定し、かつ高レベル電位を外部から供給される電源電圧のレベルよりも低い電位に設定するための電位設定手段を備えて構成される。

【0025】より好ましくは、電位設定手段は、低レベル電位と高レベル電位をそれぞれ任意の電位に設定可能に構成される。

【0026】さらに、より好ましくは、電位設定手段は、低レベル電位と高レベル電位との電位差を一定に保った状態で低レベル電位と高レベル電位を任意に設定可能に構成される。

【0027】さらに、より好ましくは、電位設定手段は、第1の基準電位に基づいて高レベル電位を設定するための高レベル電位設定手段と、第2の基準電位に基づいて低レベル電位を設定するための低レベル電位設定手段とを含む。

【0028】さらに、第1の基準電位と第2の基準電位を発生するための基準電位発生手段が設けられる。基準電位発生手段は第1の基準電位と第2の基準電位とのレ



ベル差を一定に保った状態で発生する。

【0029】さらに、電位設定手段は一定の期間だけ低レベル電位を接地電位とほぼ等しい電位に切換えるための切換手段を含む。

【0030】基準電位設定手段は、それぞれが第1の基準電位を任意の電位に設定するために並列接続された複数の第1の抵抗と、それぞれが複数の第1の抵抗に対応して直列接続され、溶断されることによって対応の第1の抵抗を無効にする複数の第1のヒューズと、それぞれが第2の基準電位を任意の電位に設定するために並列接続された複数の第2の抵抗と、それぞれが複数の第2の抵抗に対応して直列接続され、溶断されることによって対応の第2の抵抗を無効にする複数の第2のヒューズとを含む。

【0031】さらに、複数の第1および第2のヒューズのそれぞれに対して直列接続され、それぞれを導通または非導通にして第1および第2の基準電位を調節するための複数のトランジスタを含む。

【0032】請求項50に係る発明は、外部から電源電圧が供給される内部回路を有する半導体記憶装置であって、内部回路に供給する高レベルの電位を外部から供給される電源電圧とは異なる電位に設定するとともに、内部回路に供給する低レベルの電位を接地電位とは異なる電位に設定するための電位設定手段と、半導体記憶装置の使用時と非使用時とで高レベルの電位と低レベルの電位とを変化させるための手段が設けられる。

【0033】請求項51に係る発明は、半導体基板上にチップが形成された半導体記憶装置であって、それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイと、メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプと、メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段と、半導体基板に負レベルの基板電位を供給するための基板電位発生手段と、ワード線に供給する昇圧電圧を発生するための昇圧電圧発生手段と、チップの使用時と非使用時とで昇圧電圧の電位と負レベル電位を任意の電位に切換える電位設定手段とを備えて構成される。

【0034】請求項52に係る発明は、それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続された複数のメモリセルを含むメモリセルアレイと、メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプと、メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段と、ビット線とメモリセルとセンスアンプの低レベル電位のラインを接地電位よりも高い電位に設定するための電位設定手段と、設定された低レベル電位を補償するための電位補償手段とを備えて構成される。

【0035】請求項53に係る発明は、半導体基板上にチップが形成された半導体記憶装置であって、それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイと、メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプと、メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段と、ビット線とメモリセルとセンスアンプの低レベル電位のラインを接地電位よりも高い電位に設定するための電位設定手段と、メモリセルのデータの保持時間をテストするときに、ビット線とメモリセルとセンスアンプの低レベル電位のラインを接地電位に強制するための接地電位強制手段とを備えて構成される。

【0036】請求項55に係る発明は、半導体基板上にチップが形成された半導体記憶装置であって、それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイと、ワード線を駆動するためのワード線駆動手段と、メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプと、前記メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段と、メモリセルのデータの保持時間をテストするときに、ワード線駆動手段の低レベル電位のラインを接地電位よりも高い電位に設定するための電位設定手段とを備えて構成される。

【0037】請求項57に係る発明は、半導体基板上にチップが形成された半導体記憶装置であって、それぞれが複数のビット線のうちの1本と複数のワード線のうちの1本とに接続されたメモリセルを含むメモリセルアレイと、メモリセルアレイからビット線に読出された微小電位差を増幅するためのセンスアンプと、メモリセルアレイからのデータの読出およびメモリセルアレイへのデータの書込を制御する制御手段と、半導体基板に負レベルの基板電位を供給するための基板電位発生手段と、メモリセルのデータの保持時間をテストするときに、半導体基板の基板電位を負レベルの基板電位よりも高く設定するための基板電位設定手段とを備えて構成される。

【0038】

【作用】請求項1に係る発明は、メモリセルアレイとセンスアンプとを含む半導体記憶装置において、ビット線とメモリセルとセンスアンプの低レベルの電位のラインを接地電位よりも高い電位に設定することにより、ディスターブリフレッシュに強くでき、メモリセルトランジスタのしきい値を低く設定し、信頼性の向上を図り、昇圧電圧発生回路を不要にし、トリプルウェル構造を不要にする。

【0039】請求項21に係る発明は、ビット線とメモリセルとセンスアンプの低レベルの電位のラインを接地電位よりも高い電位に設定するとともに、その電位が上

昇したりあるいは降下したとき、その電位が一定となるように補償する。

【0040】請求項22に係る発明は、センスアンプの駆動時にセンスアンプ駆動ラインの低レベルの電位を接地電位よりも高い電位に設定する。

【0041】請求項37に係る発明は、センスアンプを駆動したときに、転送ゲートのゲート電位を接地電位とし、ビット線の低レベル電位を転送ゲートのしきい値電圧となるように制御する。

【0042】請求項41に係る発明では、ビット線とメモリセルとセンスアンプの低レベル電位のラインを接地電位よりも高くするとともに、高レベル電位を外部から供給される電源のレベルよりも低い電位に設定することにより、サブスレッショルドリーク電流を減少させることができる。

【0043】さらに、一定の電位差を保った状態で高レベル電位と低レベル電位とを設定することにより、メモリセルの蓄積電荷量を維持することができる。

【0044】請求項50に係る発明では、半導体装置の使用時と非使用時とで高レベル電位と低レベル電位とを 20 変化させるようにしたので、半導体装置の非使用時における電流消費も少なくできる。

【0045】請求項51に係る発明では、チップの使用時と非使用時とで基板電位発生手段と昇圧電圧発生手段とに供給される高レベル電位と低レベル電位とを任意の電位に切換えるようにしたので、リフレッシュの間隔を延ばすことができ、消費電流の低減を図ることができる。

【0046】請求項53に係る発明では、メモリセルのデータの保持時間をテストするときに、接地電位よりも 30 高い電位に設定された低レベル電位のラインを接地電位に強制するので、そのテスト時間が長くなることはない。

【0047】請求項55に係る発明では、メモリセルのデータの保持時間をテストするときに、ワード線駆動手段の低レベル電位のラインを接地電位よりも高い電位に設定するので、テスト時にのみメモリセルのディスタブプリフレッシュ特性を悪化させることができ、テスト時間の短縮化を図ることができる。

【0048】請求項57に係る発明では、メモリセルのデータの保持時間をテストするときに、半導体基板の基板電位を通常時の負レベルの基板電位よりも高く設定するので、テスト時にのみメモリセルのディスタブプリフレッシュ特性を悪化させることができ、テスト時間の短縮化を図ることができる。

【0049】

【実施例】図1は従来例と、この発明の概念を対比して説明するための図である。従来例においては、図1

(a)に示すように、外部電源電圧 $E_{xt}$ 、 $V_{cc}$  (5V) から内部電源電圧 $I_{nt}$ 、 $V_{cc}$  (3.3V) を発 50

生し、内部電源電圧 $I_{nt}$ 、 $V_{cc}$  と接地電位 $GND$  (0V) との間の電位がメモリセルに加わっており、さらにサブスレッショルドリークを抑えるために、負電位 $V_{bb}$  (-2V) をメモリセルに与える必要があった。このために、従来例では負電位発生回路が必要であった。

【0050】これに対して、本願発明では、図1(b)に示すように、ビット線の振幅における「L」レベルを接地電位 $GND$ ではなく、ビット線プリチャージレベルと接地電位 $GND$ との間において新たに発生される疑似 $GND$ レベル( $V_{GND}$ ) (0.5V) に設定される。この場合、非選択ワード線の「L」レベル( $GND$ )はビット線の振幅における「L」レベルに対して相対的に負にバイアスされた状態となる。

【0051】図2は第1の発明の第1の実施例を示す回路図である。図2において、内部回路5はメモリセルの電位を決定することに関係する回路、たとえばビット線の充放電回路(センスアンプ回路)、ハーフ $V_{cc}$ 発生回路であり、チップ内の全回路(特にワード線駆動回路は含まない)ではない。従来例においては、内部回路5は接地電位に接続されるが、この実施例では、疑似 $GND$ 線30に接続される。この疑似 $GND$ 線30には、 $n$ チャネルトランジスタ $T_{r1}$ のゲートとドレインが接続されるとともに、 $n$ チャネルトランジスタ $T_{r2}$ のドレインが接続される。 $n$ チャネルトランジスタ $T_{r1}$ 、 $T_{r2}$ のそれぞれのソースは接地電位 $V_{ss}$ に接続される。 $n$ チャネルトランジスタ $T_{r2}$ のゲートには内部発生信号 $\phi$ が与えられる。 $n$ チャネルトランジスタ $T_{r1}$ は、そのしきい値電圧 $V_{thn}$ 分だけ疑似 $GND$ 線30の電位 $V_{ss'}$ を高める。しかし、アクティブ時に、メモリセルアレイに大電流が接地に流れ込むとき、特にビット線充放電時やコラムアドレスが変化することによりビット線と $I/O$ 線が接続されるときなどは、 $n$ チャネルトランジスタ $T_{r1}$ だけでは疑似 $GND$ 線30のレベル $V_{ss'}$ をしきい値電圧 $V_{thn}$ 付近に維持することは駆動能力の面から困難である。なぜならば、疑似 $GND$ 線30のレベル $V_{ss'}$ がしきい値電圧 $V_{thn}$ 付近では、 $n$ チャネルトランジスタ $T_{r1}$ はしきい値電圧のすれすれで動作しており、かなり高抵抗化しているためである。このために、ビット線の充放電時やコラムアドレス変化によりビット線と $I/O$ 線が接続されるときにのみ、内部発生信号 $\phi$ により $n$ チャネルトランジスタ $T_{r2}$ を導通させ、疑似 $GND$ 線30の電位 $V_{ss'}$ が浮上がるのを緩和させている。

【0052】図3は図2の動作を説明するためのタイムチャートである。次に、図3を参照して、図2の動作について説明する。図3(a)に示すように、ロウアドレスストロブ信号/ $RAS$ が「H」レベルになっているスタンバイ時においては、内部発生信号 $\phi$ は図3(f)に示すように「L」レベルになっている。そして、ロウ

アドレスストロブ信号/RASが「L」レベルに立下がった後、図3(c)に示すロウアドレスによりワード線が活性化され、メモリセル内の情報がビット線に伝達され、図3(d)に示すように、センスアンプ活性化信号/SEが「L」レベルになってセンスアンプが活性化される。このとき、活性化されたワード線に接続されているビット線の総容量分が充放電する。このセンスアンプ活性化信号/SEを受けて、内部発生信号φが電源電圧Vccまで立上がり、ある期間t1経過後に接地電位Vssまで立下がる。これにより、期間t1では、接地電位Vssと疑似GND線の電位Vss'間の低抵抗化が図られ、高速センスが可能となる。しかし、ここで期間t1に疑似GND線の電位Vss'が接地電位Vssまで引かれようとするが、ビット線の充放電による大電流により、nチャネルトランジスタTr2の抵抗成分により図3(g)に示すように、多少の浮上がりが生じる。この浮上がりがしきい値電圧Vthnと同程度のレベルとなる時間にt1を設定することにより、nチャネルトランジスタTr2による接地電位Vssまでの引き過ぎを防止することができる。すなわち、nチャネルトランジスタTr2が疑似GND線30に接続されていなければ、図3(g)の点線に示すように疑似GND線30の電位Vss'が浮上がるが、nチャネルトランジスタTr2の作用により、図3(g)の実線で示すように、浮上がりを抑えることができる。

【0053】また、センス動作後に、リードサイクル時では、コラムアドレスの変化により、図3(e)に示すコラム活性化信号/CEが活性化し、コラム選択線が活性化され、特定のビット線とI/O線とが接続される。そして、I/O線の電位がビット線に流れ込み、図3(g)に示すように、疑似GND線30の電位Vss'が浮上がる。この場合も、センス活性化のときと同様に、コラム活性化信号/CEの活性化を受けて、期間t2だけ内部発生信号φが電源電位のレベルにされる。ライトサイクル時も同様の考え方により、I/O線からビット線にデータを書込むタイミングである期間だけ内部発生信号φを電源電位Vccのレベルにすれば同じ効果を得ることができる。

【0054】ここで、内部発生信号φのタイミングとして、この実施例では、センスアンプ活性化信号/SE、コラム活性化信号/CEを例に挙げたが、センス開始もしくはI/O線とビット線がつながるタイミング前後の内部信号であればどれであっても構わない。また、nチャネルトランジスタTr1はゲートとドレインを短絡して疑似GND線30に接続し、ソースを接地電位Vssに接続したが、ゲートとドレインとを短絡して接地電位Vssに接続し、ソースを疑似GND線30に接続したpチャネルトランジスタを用いるようにしてもよい。また、上述の説明では、センスアンプの開始前後とI/O線とビット線とがつながるタイミング前後の両方で内部

発生信号φを活性化するようにしたが、いずれか一方だけであってもよい。

【0055】図4は第1の発明の第2の実施例を示す回路図である。この図4に示した実施例は、図3に示した実施例におけるnチャネルトランジスタTr2の動作による疑似GND線30のレベル低下を改善するために、クランプ回路7を疑似GND線30に接続したものである。クランプ回路7は基準電圧と疑似GND線30の電位Vss'とを比較する差動増幅回路71と、この差動増幅回路71の出力を受けて疑似GND線30に電位を充電するためのnチャネルトランジスタTr3とを含む。nチャネルトランジスタTr3のゲートは差動増幅回路71の出力に接続され、そのドレインは電源電位Vccに接続され、ソースは疑似GND線30に接続される。差動増幅回路71は基準電圧より疑似GND線30のレベルVss'が低ければ、「H」レベル信号を出力してnチャネルトランジスタTr3を導通させ、電源電位Vccから「H」レベル信号を疑似GND線30に出力して充電し、疑似GND線30の電位が高くなれば、差動増幅回路71はnチャネルトランジスタTr3の導通を非導通にし、図3で説明したnチャネルトランジスタTr2の導通期間t1またはt2のミスマッチによる疑似GND線30のレベル低下を抑制する。

【0056】図5は第2の発明の第1の実施例を示す図である。この図5に示した実施例は、疑似GND線30のレベルとほぼ同じレベルの電圧を発生する基準電圧発生回路81と、この基準電圧と疑似GND線30のレベルとを比較する差動増幅回路8と、この差動増幅回路8の出力を受けるnチャネルトランジスタTr3とを含む。nチャネルトランジスタTr3のゲートは差動増幅回路8の出力に接続され、そのドレインは疑似GND線30に接続され、そのソースは接地電位Vssに接続される。そして、この実施例では、基準電圧発生回路81から出力される基準電圧よりも疑似GND線30のレベルが高ければ、差動増幅回路8から「H」レベル信号がnチャネルトランジスタTr3のゲートに与えられる。応じて、nチャネルトランジスタTr3は導通し、疑似GND線30の電位を放電し、疑似GND線30の電位が基準電圧よりも低くなれば、差動増幅回路8がnチャネルトランジスタTr3による放電を停止することにより、疑似GND線30のレベルを接地電位よりも高いレベルVss'に維持する。

【0057】図6は第2の発明の第2の実施例を示す回路図である。この図6に示した実施例は、図5に示した実施例において、差動増幅回路8の応答遅延による疑似GND線30のレベル低下を改善したものである。すなわち、nチャネルトランジスタTr3のドレインと疑似GND線30との間にダイオードD1が接続される。このように、ダイオードD1をnチャネルトランジスタTr3のドレインと疑似GND線30との間に接続するこ

とにより、ダイオードD1に微小電流が流れていれば、疑似GND線30は接地電位 $V_{ss}$ レベルまで引かれることなく、ダイオードD1の拡散電位(約0.6V)分だけ上昇し、疑似GND線30のレベル低下を抑制し、安定した疑似GND線30の電位を得ることができる。

【0058】図7は第2の発明の第3実施例を示す回路図である。この図7に示した実施例は、図6に示した実施例における差動増幅回路8の応答遅延による疑似GND線30のレベル低下を改善したものである。すなわち、ダイオードD1とnチャネルトランジスタTr3のドレインの接続点と、接地電位との間にデカップリング用コンデンサC1が接続される。一般的には、デカップリングコンデンサは、疑似GND線30に接続されるべきであるが、この場合内部回路5の動作による電流変化がデカップリング用のコンデンサによって吸収されてしまい、ダイオードD1による補償効果が出にくくなる。そこで、図7に示すように、ダイオードD1とnチャネルトランジスタTr3のドレインの接続点と接地間にデカップリング用のコンデンサC1を接続し、ダイオードD1による拡散電位部の補償が効きにくくなるのを防止し、疑似GND線30のレベル低下を抑制し、安定した電位 $V_{ss}'$ を得ることができる。

【0059】図8は第2の発明の第4実施例を示す回路図である。この実施例は、図5に示した実施例において、大電流消費時の差動増幅回路8の応答遅延による疑似GND線30レベルの浮きを改善したものであり、図5に示した実施例に加えて、図2の実施例を加えて構成される。すなわち、差動増幅回路8には、nチャネルトランジスタTr4からなる差動増幅回路停止回路が接続され、nチャネルトランジスタTr3のゲートにはnチャネルトランジスタTr5からなる浮き防止回路が接続される。すなわち、nチャネルトランジスタTr4のドレインは差動増幅回路8の活性化入力端子に接続され、そのソースは接地される。nチャネルトランジスタTr5のドレインは電源電位 $V_{cc}$ に接続され、そのソースはnチャネルトランジスタTr3のゲートに接続される。そして、内部発生信号 $\phi$ がインバータ29で反転され、nチャネルトランジスタTr4およびTr5のそれぞれのゲートに与えられる。

【0060】図9は図8の動作を説明するためのタイムチャートである。次に、図9を参照して、図8の実施例の動作について説明する。メモリセルアレイ内に大電流が流れる期間、つまりセンス開始もしくはI/O線とビット線がつながるタイミングが図9(d)に示すセンスアンプ活性化信号/SE、図9(e)に示すコラム活性化信号/CEを受けて、図9(f)に示す内部発生信号 $\phi$ をインバータ9で反転して、nチャネルトランジスタTr4を非導通にし、差動増幅回路8の動作を停止させる。また、内部発生信号 $\phi$ が「L」レベルになると、nチャネルトランジスタTr5が導通し、電源電位 $V_{cc}$

からnチャネルトランジスタTr3のゲートに「H」レベル信号が強制的に与えられ、このnチャネルトランジスタTr3を強制的に動作させることにより、疑似GND線30の浮上がりが防止される。

【0061】図10は第3の発明の第1の実施例を示す回路図である。この図10に示した実施例は、センスアンプ2のセンスアンプドライブ線SNが「L」レベルのとき、接地電位 $V_{ss}$ よりも高い疑似GND線30のレベル $V_{ss}'$ となるように構成したものである。

【0062】一般に、DRAMの読出動作は、前述の図101で説明したように、ロウアドレスストローブ信号/RASが立下がった後、ロウアドレスによりワード線WLが活性化され、メモリセル内の情報がビット線BLに伝達され、センスアンプ2によって増幅される。センスアンプ2、4は図101に示したように、基本的にnチャネルとpチャネルの2つのセンスアンプで構成されており、各センスアンプ2、4は2つのトランジスタのゲートとドレインをクロスカップル接続し、ソースが共通接続され、この共通接続されたノードがnチャネルトランジスタTr6を介して $1/2(V_{cc}+V_s)$ のラインに接続されている。そして、nチャネルトランジスタTr6が導通状態になると、センスが開始され、ビット線BLの微小電位差が電源線レベルまで増幅され、メモリセルに再書込が行なわれる。この図10に示した実施例では、センスアンプドライブラインSNと接地電位 $V_{ss}$ の間にpチャネルトランジスタTr7が接続される。そして、センスアンプドライブラインSNの電位は、pチャネルトランジスタTr7のしきい値電圧 $V_{thp}$ 以下に下がらないようにされている。pチャネルトランジスタTr7のゲートには内部発生信号 $\phi$ が与えられる。

【0063】図11は図10の動作を説明するためのタイムチャートである。次に、図11を参照して、図10の実施例の動作について説明する。まず、スタンバイ時には、図11(a)に示すように、ロウアドレスストローブ信号/RASが「H」レベルになっているため、内部発生信号 $\phi$ が図11(d)に示すように「H」レベルになっている。この内部発生信号 $\phi$ はnチャネルトランジスタTr6のゲートに与えられるので、nチャネルトランジスタTr6が導通し、センスアンプドライブ線SNが $1/2(V_{cc}+V_{thp})$ のレベルにプリチャージされる。そして、ロウアドレスストローブ信号/RASが「L」に立下がり、かつ図11(b)に示すように、センスアンプ活性化信号/SEが「L」レベル立下がると、内部発生信号 $\phi$ が「L」レベルになる。この内部発生信号 $\phi$ に応じて、pチャネルトランジスタTr7が導通し、センスが開始される。センスアンプドライブラインSNのレベルがpチャネルトランジスタTr7のしきい値電圧 $V_{thp}$ と同程度となると、非導通になり、センスアンプ2の「L」レベル側の最終レベルはし

きい値電圧 $V_{thp}$ となり、メモリセルに書込まれる「L」レベルはしきい値電圧 $V_{thp}$ と同等となる。

【0064】図12は第3の発明の第2実施例を示す回路図である。この図12に示した実施例は、前述の図10に示した実施例において、大電流消費時におけるpチャネルトランジスタ $T_{r7}$ がしきい値電圧付近で交差することによって高抵抗化し、センスアンプ駆動ライン $S_N$ の電圧が浮上がるのを改善したものである。すなわち、pチャネルトランジスタ $T_{r7}$ のゲートに加わる内部発生信号 $\phi$ は図12に示した切換回路から発生される。切換回路はnチャネルトランジスタ $T_{r8}$ と $T_{r9}$ とから構成される。nチャネルトランジスタ $T_{r8}$ のゲートにはセンスアンプ活性化信号 $/SE$ が「L」レベルに立下がってから期間 $t_1$ だけ「H」レベルになり、それ以外の時間は「L」レベルになる制御信号 $\phi$ が与えられ、nチャネルトランジスタ $T_{r9}$ のゲートにはその期間 $t_1$ だけ「L」レベルになり、それ以外の期間は「H」レベルになる制御信号 $\phi$ が与えられる。nチャネルトランジスタ $T_{r8}$ のソースは接地され、nチャネルトランジスタ $T_{r9}$ のドレインには、負電位発生回路9から負電圧 $-V_b$ が与えられる。この負電圧 $-V_b$ はよりよい改善効果を得るために、図10のpチャネルトランジスタ $T_{r7}$ のしきい値電圧 $V_{thp}$ よりも大きい電圧に選ばれるのが好ましい。nチャネルトランジスタ8のドレインとnチャネルトランジスタ $T_{r9}$ のソースは共通接続されて、図10のpチャネルトランジスタ $T_{r7}$ のゲートに与えられる。

【0065】図13は図12の動作を説明するためのタイムチャートである。次に、図13を参照して、図12の動作について説明する。図13(b)に示すように、センスアンプ活性化信号 $/SE$ が「L」レベルに立下がると、制御信号 $\phi$ が「H」レベルに立上がり、nチャネルトランジスタ $T_{r9}$ が導通する。それによって、負電圧 $-V_b$ が内部発生信号 $\phi$ として図10のpチャネルトランジスタ $T_{r7}$ のゲートに与えられる。これによって、pチャネルトランジスタ $T_{r7}$ が導通しやすくなり、低抵抗化を図ることができ、センスアンプ駆動ライン $S_N$ が浮上がるのを防止できる。

【0066】すなわち、図10に示したpチャネルトランジスタ $T_{r7}$ のゲートに図11(c)に示すように、「L」レベルが接地電位 $V_{ss}$ である内部発生信号 $\phi$ を与えると、図13(d)の点線で示すように、センスアンプ駆動ライン $S_N$ が「H」レベルから「L」に立下がる波形が緩やかになり、それに伴って、図13(e)に示すように、ビット線 $BL$ 、 $/BL$ の電位が点線で示すように緩やかに立下ってしまい、高速性が劣ってしまう。これに対して、図12に示した実施例の切換回路によって、センス開始時の大電流が流れる期間 $t_1$ だけpチャネルトランジスタ $T_{r7}$ のゲートに負電位 $-V_b$ を与えることによって、センスアンプ駆動ライン $S_N$ は図

13(d)に示すように急峻に立下げることができ、高速性を改善できる。そして、期間 $t_1$ 経過後に、制御信号 $\phi$ によってnチャネルトランジスタ $T_{r8}$ が導通し、内部発生信号 $\phi$ は接地電位 $V_{ss}$ レベルになる。

【0067】図14は第3の発明の第3実施例を示すタイムチャートである。この実施例は、図13の実施例よりも、さらに図10のpチャネルトランジスタ $T_{r7}$ の高抵抗化によるセンスアンプ駆動ライン $S_N$ の浮上りを改善するものである。すなわち、センス開始時の大電流が流れる期間 $t_1$ のうち、前半の期間 $t_2$ は内部発生信号 $\phi$ が接地電位 $V_{ss}$ のレベルにされ、後半の期間 $t_3$ だけ負電位 $-V_b$ レベルにされる。このために、図12に示すnチャネルトランジスタ $T_{r8}$ のゲートには、期間 $t_2$ と期間 $t_1$ 以降の期間だけ「H」レベルになる制御信号 $\phi$ が与えられる。この実施例では、図12に示した実施例に比べて、負電位 $-V_b$ をpチャネルトランジスタ $T_{r7}$ のゲートに与える期間を短くできるので、負電位発生回路9の負担を軽減できる。

【0068】図15は第4の発明の第1実施例を示す電気回路図である。この図15に示した実施例は、半導体基板内に疑似GNDレベル信号を発生する回路を設け、センスアンプが電源電位 $V_{cc}$ と疑似GND線30でビット線を振幅させる回路構成に対して、ワード線を駆動するワードドライブ回路の接地レベルをスイッチ回路12により接地電位 $V_{ss}$ と疑似GND線30のレベル $V_{ss'}$ に切換可能に構成したものである。より具体的に説明すると、ロウデコーダ11はロウアドレス信号をデコードし、デコードしたワード信号をワードドライバ10に与える。ワードドライバ10はpチャネルトランジスタ71とnチャネルトランジスタ72とを含み、pチャネルトランジスタ71のゲートとnチャネルトランジスタ72のゲートにはロウデコーダ11からワード信号が与えられる。pチャネルトランジスタ71のドレインには昇圧電圧 $V_{pp}$ が与えられ、pチャネルトランジスタ71のソースとnチャネルトランジスタ72のドレインはワード線 $WL$ に接続される。nチャネルトランジスタ72のソースはスイッチ回路12に接続され、スイッチ回路12は接地電位 $V_{ss}$ と疑似GND線30の電位 $V_{ss'}$ とを切換える。スイッチ回路12は図16に示すように、nチャネルトランジスタ $T_{r10}$ と $T_{r11}$ とを含み、nチャネルトランジスタ $T_{r10}$ のゲートには内部発生信号 $\phi$ が与えられ、nチャネルトランジスタ $T_{r11}$ のゲートには内部発生信号 $\phi$ が与えられる。nチャネルトランジスタ $T_{r10}$ のドレインとnチャネルトランジスタ $T_{r11}$ のドレインは図15に示したnチャネルトランジスタ $T_{r72}$ のソースに接続され、nチャネルトランジスタ $T_{r10}$ のソースは接地電位 $V_{ss}$ に接続され、nチャネルトランジスタ $T_{r11}$ のソースは疑似GND線30の電位 $V_{ss'}$ に接続される。

【0069】なお、ワード線 $WL$ とビット線 $BL$ との交

点にはメモリセル14が接続され、ビット線BLと／BLはセンスアンプ13に接続される。センスアンプ13には電源電圧Vccと疑似GND線30の電位Vssが与えられている。

【0070】図17は図15に示した実施例の動作を説明するためのタイムチャートである。次に、図17を参照しながら、図15の実施例の動作について説明する。図17(b)に示すロウアドレス信号がロウデコーダ11に与えられると、ロウデコーダ11からワード線駆動信号WDがワードドライバ10に与えられる。このとき、図17(d)に示すように、スイッチ12に与えられる内部発生信号φは「L」レベルになっており、φは「H」レベルになっている。このため、スイッチ回路12は接地電位VssをnチャネルトランジスタTr72のソースに与える。そして、図17(a)に示すように、ロウアドレスストロブ信号／RASが「L」レベルになった後、期間t4経過後であって、ワード線駆動信号が「L」レベルに立下がる期間t5経過前に、内部発生信号φが「H」レベルになり、φが「L」レベルになる。このため、スイッチ回路12は疑似GND線30の電位Vss'をnチャネルトランジスタTr72のソースに与える。その結果、図17(e)に示すように、ワード線WLは、接地電位Vssから疑似GND線30の電位Vss'に立上がった後、昇圧電圧Vppまで立上げられる。

【0071】一方、図示しない非選択のワードドライバの接地電位はVssのままであるため、非選択のワード線はVssレベルを維持している。

【0072】このように、ワード線WLを図17(e)に示すように、接地電位Vssのレベルから一旦疑似GND線30の電位Vss'に立上げた後、昇圧電圧Vppまで立上げるようにしているので、昇圧電源Vppで駆動する負荷が軽減され、ワード線WLの立上げの高速化が可能となる。

【0073】図18は第4の発明の第2実施例を示すブロック図である。この図18に示した実施例は、前述の図15に示した実施例のように、選択されたワードドライバのみの接地電位を疑似GND線30の電位Vss'に切替えるのではなく、選択されたワードドライバを含むワードドライバ群の接地電位を疑似GND線30の電位Vss'に切替えることにより、スイッチ回路の数を低減するようにしたものである。すなわち、複数のメモリセルアレイブロックMC1、MC2、MC3がセンスアンプSA1、SA2、SA3、SA4のそれぞれの間に配置されており、各メモリセルアレイブロックMC1～MC3のそれぞれに対応してワードドライバWD1～WD3が設けられている。これらのワードドライバWD1～WD3にロウデコーダ11からワード線駆動信号が与えられる。ワードドライバWD1～WD3はそれぞれ対応のメモリセルアレイブロックMC1～MC3のワー

ド線を駆動する。さらに、各ワードドライバWD1～WD3の接地電位をVssと疑似GND線30の電位Vss'に切替えるために、スイッチ回路SW1～SW3が設けられていて、各スイッチ回路SW1～SW3はブロック選択信号BS1～BS3によって個別に選択される。

【0074】図19は図18に示したスイッチ回路の一例を示す回路図である。図18に示したスイッチ回路SW1～SW3は図19に示すように、nチャネルトランジスタTr12とTr13とインバータ14を含み、nチャネルトランジスタTr12とTr13の各ゲートにはブロック選択信号BS1が与えられ、各ドレインは共通接続されてワードドライバWD1の接地ラインVS1に接続されている。nチャネルトランジスタTr12のソースは疑似GND線30の電位Vss'に接続されており、nチャネルトランジスタTr13のソースは接地電位Vssに接続されている。

【0075】図20は図18の動作を説明するためのタイムチャートである。今、図20(a)に示すように、ブロック選択信号BS2によってワードドライバWD2が選択されると、ワードドライバWD2の接地ラインが図20(b)に示すように、接地電位Vssから疑似GND線30の電位Vss'に立上げられる。そして、ロウデコーダ11からのワード線駆動信号WD21が図20(c)に示すタイミングで「H」レベルに立上がる前に、図20(d)に示すように、ワードドライバWD2に接続されている選択されたワード線WL21および選択されていないワード線WL22が接地電位Vssから疑似GND線30の電位Vss'に立上げられる。ワード線駆動信号WD21が「H」に立上げられると、ワード線WL21のみが昇圧電圧Vppに立上げられる。このとき、選択されていないワード線WL22は図20(e)に示すように、そのまま疑似GND線の電位Vss'を維持しているため、ディスタブリフレッシュ特性が悪化することはない。

【0076】なお、図20(f)に示すように、ブロック選択信号BS1、BS3は「L」レベルになっているため、ワードドライバWD1、3は非選択であり、その接地ラインは図20(g)に示すように、接地電位Vssのままであり、ワード線WL1、WL3も図20(h)に示すように、接地電位Vssのままとっている。

【0077】なお、図18に示した実施例では、一例として、センスアンプSA1～SA4によって区切られたメモリセルアレイブロックMC1～MC3をこの発明の対象としたが、それ以外の任意のブロックに対して接地電位を切替えるようにしてもよい。

【0078】図21は第4の発明の第3実施例の動作を説明するためのタイムチャートである。前述の図18に示した実施例では、選択されたブロック内のワード線の

「L」レベルのすべてが疑似GND線30の電位 $V_{ss'}$ になると、選択されたブロック内の非選択ワード線につながっているメモリセルのディスタプリフレッシュ特性を悪化させてしまう。そこで、この図21に示した実施例はこの問題を改善する。すなわち、図21

(a)に示すように、ブロック選択信号BS2の立上がりを受けて、スイッチ回路の活性化信号 $\phi 2$ は図21 (b)に示すように、期間 $t_7$ の間のみ「H」レベルとなる。そして、活性化信号 $\phi 2$ の立上がりより選択ブロックのワード線の「L」レベルは疑似GND線30の電位 $V_{ss'}$ となる。そして、ブロック選択信号BS2が立上がってから期間 $t_1$ 経過後、特定のワードドライバWD2が活性化され、選択されたワード線WL21は昇圧電圧 $V_{pp}$ レベルまで立上げられる。活性化信号 $\phi 2$ が期間 $t_2$ を経過して立下がると、非選択のワード線WL22のレベルは疑似GND線30の電位 $V_{ss'}$ から接地電位 $V_{ss}$ になる。これにより、選択ブロック内の非選択ワード線につながっているメモリセルのディスタプリフレッシュ特性の悪化を防止することが可能となる。

【0079】図22は第5の発明の一実施例を示す回路図である。この実施例は、図4の実施例に図5の実施例を付加して、さらにサブスレッシュド電流などのリーク分のレベル低下を補償するためにサスティン回路15を設けたものである。すなわち、疑似GND線30には、図4に示した実施例と同様にして、nチャネルトランジスタ $Tr_1$ と $Tr_2$ が接続されるとともに、図5に示したnチャネルトランジスタ $Tr_3$ と差動増幅回路8とが接続される。さらに、疑似GND線30には、サスティン回路15が接続される。サスティン回路15は発振器16とポンピング回路17とを含み、発振器16で発振された発振信号に応じてポンピング回路17は電源電圧 $V_{cc}$ を断続的に疑似GND線30に供給する。

【0080】次に、図22の実施例の動作について説明する。まず、スタンバイ時には、ダイオード接続されたnチャネルトランジスタ $Tr_1$ からこのnチャネルトランジスタ $Tr_1$ のしきい値電圧 $V_{thn}$ のレベルが疑似GND線30に出力される。ここで、疑似GND線30に接続されたサスティン回路は発振器16の発振出力に応じて、ポンピング回路17が電源電圧 $V_{cc}$ を断続的に疑似GND線30に供給し、サブスレッシュド電流などのリーク分のレベル低下を補償する。

【0081】アクティブ時には、大電流が消費される期間であるセンスアンプ動作時のみnチャネルトランジスタ $Tr_2$ が導通し、センス電源線の低抵抗化が図られ、疑似GND線30の浮きが制御され、センス動作の高速化が図られる。それ以外のアクティブ期間では、特にコラム系回路動作によるI/O線からの電荷流入による疑似GND線30の浮きを補償し、安定した電位 $V_{ss'}$ を維持するために、差動増幅回路8が活性化される。こ

の組合わせにより、低消費電流化を実現しつつ安定した接地電位より高い電位 $V_{ss'}$ を疑似GND線30に発生することが可能となる。

【0082】図23は第6の発明の第1実施例を示す回路図である。この図23に示した実施例は、前述の図57で説明したアレイ回路におけるセンスアンプを活性化するためのセンスドライバラインSNが「L」レベルのとき、接地電位よりも高い疑似GND電位 $V_{ss'}$ にするものである。このため、比較回路8と疑似GNDレベル発生回路19とが設けられ、比較回路8の出力によって疑似GNDレベル発生回路19から疑似GND電位 $V_{ss'}$ が発生され、センスドライバラインSNに与えられる。比較回路8は基準電圧とセンスドライバラインSNのレベルとを比較する。疑似GNDレベル発生回路19はたとえば比較回路8の出力に応じて導通する放電トランジスタなどが用いられる。

【0083】なお、比較回路8はセンスアンプ2が活性化されているときのみ活性化されるように活性化信号が与えられる。これは、プリチャージ時には、センスドライバラインSNのレベルは所望のプリチャージレベルに設定されるためである。

【0084】図24は図23の動作を説明するためのタイムチャートである。前述の従来例の図57の説明と同様にして、ワード線WLが図24(a)に示すように、昇圧電圧 $V_{pp}$ まで立上がると、初期信号が図24(e)に示すようにビット線対BL、 $\overline{BL}$ に読出される。そして、図24(b)、(c)に示すセンスアンプ活性化信号 $S_0$ 、 $\overline{S_0}$ により、センスアンプ2、4はセンス動作を開始する。このとき、比較回路8は活性化信号 $S_0$ によって活性化され、センスドライバラインSNのレベルと基準電圧とを比較し、センスドライバラインSNのレベルが基準電圧と等しくなるまで疑似GNDレベル発生回路19を放電させる。そして、センスドライバラインSNのレベルが基準電圧と等しくなると、疑似GNDレベル発生回路19による放電動作を停止し、センスドライバラインSNの電位降下が止まる。それによって、センスドライバラインSNの電位は接地電位よりも高い疑似GND電位 $V_{ss'}$ となり、ビット線BLの「L」レベルの電位は疑似GND電位 $V_{ss'}$ となる。

【0085】図25は第6の発明の第2実施例を示す図である。この実施例は、疑似GND電位 $V_{ss'}$ を発生する疑似GNDレベル発生回路19を別個に設けておき、センスアンプ活性化信号 $S_0$ によってnチャネルトランジスタ $Tr_14$ が導通すると、強制的にセンスドライバラインSNの電位を疑似GND電位 $V_{ss'}$ に放電するようにしたものである。前述の図23に示した実施例では、各センスアンプごとに比較回路8と疑似GNDレベル発生回路9とを配置する必要があったが、この図25に示した実施例では、多数のセンスアンプに対し

て、1個の疑似GNDレベル発生回路19を設けるだけでよく、各センスアンプに対応してnチャネルトランジスタTr14を配置すればよいので、配置スペースを小さくできる。

【0086】図26は第6の発明の第3実施例を示す図である。この実施例は、センスドライブラインSNを接地電位に放電する経路と、センスドライブラインを疑似GND電位 $V_{ss'}$ に放電する2つの経路を設けたものである。すなわち、センスドライブラインSNにはnチャネルトランジスタTr15のドレインとnチャネルトランジスタTr16のドレインが接続される。nチャネルトランジスタTr15のソースは図25に示した疑似GNDレベル発生回路19に接続され、nチャネルトランジスタTr16のソースは接地される。nチャネルトランジスタTr15のゲートには第2の活性化信号S02が与えられ、nチャネルトランジスタTr16のゲートには第1の活性化信号S01が与えられる。

【0087】図27は図26の動作を説明するためのタイムチャートである。次に、図27を参照しながら図26の実施例の動作について説明する。センス開始時の時間t8において、図27(d)に示すように、第1の活性化信号S01が「H」レベルになり、nチャネルトランジスタTr16が導通する。その結果、センスドライブラインSNは接地電位に向けて放電され、期間t8を経過すると、第1の活性化信号S01が「L」レベルになってnチャネルトランジスタTr16の放電を停止する。期間t9になると、図27(e)に示すように、第2の活性化信号S02が「H」レベルになって、nチャネルトランジスタTr15が導通し、センスドライブラインSNが疑似GND電位 $V_{ss'}$ に向けて放電される。その結果、センスドライブラインSNが「L」レベルに立下がる傾斜を急峻にでき、応答性を高めることができる。

【0088】すなわち、図26に示すnチャネルトランジスタTr16が設けられていない場合には、センス開始直後からnチャネルトランジスタTr15のみでセンスドライブラインSNの疑似GND電位 $V_{ss'}$ に放電すると、nチャネルトランジスタTr15のソース・ドレイン間の電圧が低くなり、nチャネルトランジスタTr15の放電する力が弱ってきて、立下がりが鈍ってくる。これに対して、nチャネルトランジスタTr16をnチャネルトランジスタTr15に対して並列に設け、初期段階でセンスドライブラインSNのレベルを接地電位に放電することにより、両者の電位差が大きいことにより、放電する力が大きく、立下がる傾斜を急峻にできる。

【0089】なお、図26における第1の活性化信号S01と第2の活性化信号S02の切換には、単に遅延回路を用いてもよく、あるいはセンスドライブラインSNのレベル変化もしくはビット線のレベル変化をモニタシ

て切換えるようにしてもよい。

【0090】図28は第6の発明の第4実施例を示す図である。この実施例は、図26に示したnチャネルトランジスタTr15と接地間にnチャネルトランジスタTr17を直列接続し、このnチャネルトランジスタTr17のしきい値電圧分だけセンスドライブラインSNのレベルを高くするようにしたものである。すなわち、nチャネルトランジスタTr17のゲートはセンスドライブラインSNに接続され、トランジスタTr17のドレインはトランジスタTr15のソースに接続され、トランジスタTr17のソースは接地される。この実施例においても、第1の活性化信号S01でトランジスタTr16が導通してセンスドライブラインSNを放電した後、第2の活性化信号S02によってトランジスタTr15が導通してセンスドライブラインSNの電位がトランジスタTr17のしきい値電圧になるまで放電される。一般に、センスアンプはセンス動作が安定した後のセンスドライブラインのレベルが充電も放電もされない状態にあり、そのレベルを安定させるために、センスアンプにおけるリーク電流のみを補償すればよく、ダイオード接続されたトランジスタTr17を用いることにより、その補償を実現できる。

【0091】この図28に示した実施例では、ダイオード接続されたトランジスタTr17のしきい値電圧によって電位 $V_{ss'}$ が得られるので前述の図26に示したように、疑似GNDレベル発生回路19を別個に設ける必要がなくなる。

【0092】図29は第6の発明の第5実施例の回路図である。この図29に示した実施例は、比較回路20によって基準電圧とセンスドライブラインSNのレベルとを比較し、その比較出力で放電トランジスタTr16を制御してセンスドライブラインSNを放電させ、センス非活性時にトランジスタTr26によって放電トランジスタTr16の放電を停止させるようにしたものである。

【0093】比較回路20はpチャネルトランジスタTr21~Tr23とnチャネルトランジスタTr24とTr25を含む簡単なカレントミラー回路によって構成されている。すなわち、トランジスタTr21のゲートには活性化信号/S0が与えられ、そのソースは電源Vccに接続され、ドレインはトランジスタTr22、Tr23のソースに接続されている。トランジスタTr22のゲートには基準電圧が与えられ、トランジスタTr23のゲートはセンスドライブラインSNに接続され、トランジスタTr22のドレインはノードBを介してトランジスタTr24のドレインとトランジスタTr26のドレインとトランジスタTr16のゲートに接続されている。トランジスタTr23のドレインはノードAを介してトランジスタTr25のドレインとゲートに接続され、トランジスタTr24のゲートはトランジス



タTr 25のゲートに接続され、トランジスタTr 24とTr 25の各ソースは接地されている。トランジスタTr 16のドレインはセンスドライブラインSNに接続され、そのソースは接地されている。トランジスタTr 26のゲートには活性化信号/S0が与えられ、そのソースは接地されている。

【0094】次に動作について説明する。センスドライブラインSNがたとえば1.25Vに充電されていて、基準電圧としてたとえば0.5VがトランジスタTr 22のゲートに与えられているものとする。トランジスタTr 21は「L」レベルの活性化信号/S0が与えられると導通し、トランジスタTr 22とTr 23のソースに電源電圧Vccを与える。このとき、トランジスタTr 23のゲートには基準電圧よりも高い1.25Vの電位が与えられているため、このトランジスタTr 23に流れる電流が少なく、ノードAを充電できなくなり、ノードAの電位が下がっていき、トランジスタTr 25に流れる電流が少なくなる。

【0095】一方、トランジスタTr 22は基準電圧が0.5Vであるため導通し、ノードBを「H」レベルにする。このとき、トランジスタTr 26のゲートには「L」レベルの活性化信号/S0が与えられているため、このトランジスタTr 26は非導通になっている。このため、放電トランジスタTr 16のゲートは「H」レベルになり、導通してセンスドライブラインSNの電位を放電する。ノードAの電位が低下すると、トランジスタTr 25が導通しにくくなり、今度はノードAが「H」レベルになり、ノードBが「L」レベルになって放電トランジスタTr 16がセンスドライブラインSNの電位の放電を停止する。

【0096】図30は第6の発明の第7実施例を示す回路図である。この実施例は、前述の図29に示した実施例のトランジスタTr 24とTr 25の各ソースに、負電位発生回路9から負電位を与えるようにしたものである。これは、基準電圧が低い場合には、カレントミラー回路20はその動作範囲が外れることがあるので、カレントミラー回路20の接地電位をより低い負電位に設定することにより、比較レベルをカレントミラー回路20の動作範囲内に設定する。

【0097】図31は第6の発明の第8実施例を示す回路図である。この図31に示した実施例は、図29に示した実施例に比べて、トランジスタTr 23のゲートとセンスドライブラインSNとの間にレベル変換回路を設け、比較レベルが低くても、カレントミラー回路20の動作範囲内で動作するようにしたものである。すなわち、トランジスタTr 23のゲートはトランジスタTr 27のドレインとゲートとに接続され、トランジスタTr 27のソースには電源電圧Vccが抵抗21を介して与えられ、トランジスタTr 27のソースはセンスドライブラインSNに接続される。トランジスタTr 27は

ダイオード接続されているため、センスドライブラインSNの電位がトランジスタTr 27のしきい値電圧Vth分だけレベルシフトされてトランジスタTr 23のゲートに与えられる。

【0098】なお、比較レベルとなる基準電圧は図29に示した実施例に比べて高い電圧、たとえば1.0Vに設定される。そして、この基準電圧とレベルシフトされたセンスドライブラインSNの電位とがカレントミラー回路20によって比較され、その比較出力によって放電トランジスタTr 16が制御される。

【0099】図32は第6の発明の第9実施例を示す回路図であり、図33は図32のカレントセンサを比較回路として用いた実施例を示す回路図である。

【0100】カレントセンサ31は電源電圧Vccと接地間に、pチャネルトランジスタTr 31とnチャネルトランジスタTr 33、Tr 35およびTr 37を直列接続した経路と、pチャネルトランジスタTr 32とnチャネルトランジスタTr 34、Tr 36およびTr 38を直列接続した経路とを含み、2つの経路に流れる電流を比較して、比較出力を導出する。

【0101】具体的には、図33に示すように、トランジスタTr 35、Tr 36のゲートに基準電圧が入力され、トランジスタTr 37およびTr 38のそれぞれのドレインとゲートがダイオード接続され、センスドライブラインSNに接続される。トランジスタTr 37のゲートがセンスドライブラインSNに接続されていない場合には、トランジスタTr 37、Tr 38はともにダイオード接続されているため、ノードA、Bはともに各トランジスタTr 37、Tr 38のしきい値電圧Vthになっている。ところが、トランジスタTr 37のゲートにセンスドライブラインSNから高い電位が与えられると、ノードAの電位が高くなり、ノードAに流れる電流I<sub>r1</sub>が少なくなり、ノードBに流れる電流I<sub>r2</sub>が多くなる。電流I<sub>r1</sub>が少なくなると、ノードCの電位が高くなる。このノードCには放電トランジスタTr 16のゲートが接続され、放電トランジスタTr 16はノードCの電位が高くなることによって導通し、センスドライブラインSNの電位を放電する。そして、センスドライブラインSNの電位が放電され、その電位が低下するに従って、ノードAの電位も低下し、電流I<sub>r1</sub>が多くなり、逆にI<sub>r2</sub>が少なくなる。そして、センスドライブラインSNの電位が基準電圧とほぼ等しくなると、ノードCが「L」レベルになって、放電トランジスタTr 16が非導通になり、放電が停止される。

【0102】図34はカレントセンサの他の例を示す回路図である。この図34に示したカレントセンサ31は、図32に示したカレントセンサ31のトランジスタTr 35、Tr 36を省略して簡略化したものであり、動作はほぼ同じである。

【0103】図35はカレントセンサのさらに他の例を

示す回路図である。この図35に示したカレントセンサは、図34に示したカレントセンサ32に対して、トランジスタTr39とTr41およびTr40とTr42からなる電圧変換回路を接続し、カレントセンサ31の電流比較を電圧比較に変換するようにしたものである。

【0104】図36はヒステリシス特性を持たせたカレントセンサの回路図である。センスドライブラインSNの電位が放電され、比較電圧よりも低くなったとき、他の回路の動作により、センスドライブラインSNの電位が基準電圧よりも上昇し、再度基準電圧よりも低くなるというセンスドライブラインSNの電位が振動することがある。このような振動を吸収するために、この図36に示した実施例では、カレントセンサ32にヒステリシス特性を持たせる。すなわち、カレントセンサ32の比較出力は、放電トランジスタTr16のゲートに与えられるとともに、制御回路40にも与えられる。制御回路40はカレントセンサ32の比較出力が「H」レベルであれば、トランジスタTr39のゲートに「H」レベル信号を与える。トランジスタTr39のドレインはトランジスタTr38のゲートとドレインとに接続されており、トランジスタTr39のソースは接地されている。センスドライブラインSNの電位が基準電圧よりも高いときには、カレントセンサ32の比較出力に応じて放電トランジスタTr16がセンスドライブラインSNの電位を放電させる。

【0105】このとき、制御回路40はトランジスタTr39を導通させるため、ノードBに流れる電流はトランジスタTr38とTr39に流れる電流の合計であるため、ノードAに流れる電流よりも多くなっている。そして、センスドライブラインSNの電位が基準電圧よりも低くなると、カレントセンサ32の比較出力は「L」レベルになって放電トランジスタTr16は放電を停止する。また、制御回路40は比較出力が「L」になったことに応じて、トランジスタTr39を非導通にする。このため、ノードBに流れる電流Ir1がノードAに流れるIr2に比べて少なくなるので、ノードBの電位が高くなり、実質的に比較レベルが上昇し、比較レベルにヒステリシスが生じることになる。そして、センスドライブラインSNの電位が基準電圧よりも低くなったときには、ヒステリシス特性により、比較レベルが高くなるため、センスドライブラインSNのレベルが振動するのを防止できる。

【0106】図37は第6の発明をメモリセルのデータの保持時間をテストするテスト回路に適用した例を示すブロック図である。

【0107】上述の各実施例は、センスドライブラインSNの電位を接地電位よりも電位Vss'だけ高くすることにより、ビット線の低レベルでの電位を接地電位よりも高くして、ワード線トランジスタのサブスレッショルドリークを防止することにある。

【0108】しかし、メモリセルのデータの保持時間（リテンション時間）をテストする場合、サブスレッショルドリークが生じ易い状態でテストしたい場合がある。そこで、この図37に示した実施例では、テストモード時にはセンスドライブラインSNを接地電位にし、通常の使用時にはセンスドライブラインの電位を疑似GND線の電位Vss'にする。

【0109】すなわち、カレントセンサ31は基準電圧とセンスドライブラインSNの電位とを比較し、その比較出力を制御回路41に与える。制御回路41には活性化信号S0とテスト信号とが与えられている。センスドライブラインSNにはトランジスタTr41とTr42の各ドレインが接続され、トランジスタTr41のソースには、図25に示した疑似GNDレベル発生回路19から疑似GND電位Vss'が与えられている。トランジスタTr42のソースは接地される。制御回路41は活性化信号S0が与えられると、トランジスタTr41のゲートに「H」レベル信号を与え、テスト時にはトランジスタTr42のゲートに「H」レベル信号を与える。

【0110】したがって、通常の使用時には、カレントセンサ31によってセンスドライブラインSNの電位が基準電圧よりも高いことが判別されかつ活性化信号S0が与えられると、制御回路41はトランジスタTr41を導通させ、センスドライブラインSNを疑似GND電位Vss'まで放電させる。テスト時には、制御回路41にテスト信号が与えられると、制御回路41はトランジスタTr42を導通させ、センスドライブラインSNを接地レベルまで放電させる。このため、ワード線トランジスタのサブスレッショルドリーク電流はこの発明を適用した場合に比べて増大し、またアレイノイズによる非選択ワード線のレベルの浮上がりも増加するため、ワード線トランジスタのサブスレッショルドリーク電流が増大する。したがって、ディスタブプリフレッシュ特性で表現されるメモリセル素子のリテンション時間特性が悪化することになり、その時間を評価するテストにかかる時間を短縮できる。

【0111】また、この実施例によれば、従来例に比べて、確実にディスタブテストによるメモリセル素子のリテンション特性が向上するため、この実施例を適用した状態において目標とするリテンション時間を満足していれば、実施例を適用したときには必ずディスタブテストによるリテンション時間特性が向上していることになる。したがって、ディスタブプリフレッシュなどにかかる時間を短縮することが可能となる。現在では、リフレッシュ時間にかかるテスト時間の増大、特にディスタブプリフレッシュにかかるテスト時間の増大が懸念されているため、この実施例によるテスト時間の削減は非常に有効となる。

50 【0112】図38は第6の発明を各メモリブロックご

とに適用した一例を示す図である。この図38に示した例は、多数のメモリセル（図示せず）が配置されたメモリブロック50上に複数の疑似GNDライン51を配置し、メモリブロック50の外に疑似GNDレベル発生回路19を配置したものである。そして、疑似GND発生回路19から各疑似GNDライン51に疑似GND電位 $V_{ss}'$ が供給される。各疑似GNDライン51のそれぞれに対応して放電トランジスタ $Tr16$ が配置され、それぞれのゲートに活性化信号 $S0$ が与えられる。そして、活性化信号 $S0$ が「H」レベルになると疑似GND発生回路19から発生された疑似GND電位 $V_{ss}'$ がセンスドライブラインSNに供給される。

【0113】図39は第6の発明を各メモリブロックに適用した他の例を示す図である。この図39に示した例は、図26に示した実施例を適用したものである。すなわち、メモリブロック50の外に比較回路8と疑似GNDレベル発生回路19とトランジスタ $Tr15$ が配置される。比較回路8は活性化信号 $S0$ が与えられると、センスドライブラインSNの電位と基準電圧とを比較し、その比較出力に応じてトランジスタ $Tr16$ を導通させ、センスドライブラインSNを接地レベルまで放電させる。比較回路8の出力は遅延回路81によって遅延され、一定時間経過後にトランジスタ $Tr15$ が導通し、センスドライブラインSNの電位を疑似GND電位 $V_{ss}'$ まで放電させる。

【0114】図40は第6の発明を各メモリブロックに適用したさらに他の例を示す図である。メモリブロック50上には疑似GNDライン51と接地ライン52とが交互に配置され、これらの各ライン51と52との間に放電トランジスタ $Tr14$ と $Tr16$ とが配置される。メモリブロック50の外には比較回路8と遅延回路81と疑似GNDレベル発生回路19とが配置される。比較回路8は活性化信号 $S0$ に応じて、基準電圧とセンスドライブラインSNの電位とを比較し、その比較出力に応じて放電トランジスタ $Tr16$ が導通し、センスドライブラインSNが接地電位に放電される。遅延回路81によって比較出力が遅延され、一定時間経過後にトランジスタ $Tr14$ が導通し、センスドライブラインSNが疑似GNDライン51の電位 $V_{ss}'$ に放電される。

【0115】図41は第6の発明を各メモリブロックに適用したその他の例を示す図である。この図41に示した例は図28に示した実施例の応用例であり、図40と同様にして、メモリブロック50には、接地ライン52と53が交互に配置され、各ラインの間に放電トランジスタ $Tr16$ と $Tr15$ およびダイオード接続されたトランジスタ $Tr17$ が配置される。そして、比較回路8の比較出力に応じて、放電トランジスタ $Tr16$ が接地電位にまで放電され、遅延回路81によって決まる一定時間経過後に放電トランジスタ $Tr15$ が導通し、トランジスタ $Tr17$ のしきい値電圧分だけセンスドライブ

ラインSNの電位が放電される。

【0116】図42は第7の発明の第1実施例を示す回路図である。この図42には、ダイナミックRAMのメモリセルブロックとセンスアンプ部およびセンスアンプドライブ回路が示され、ワード線WL、ビット線対BL、 $\overline{BL}$ 、メモリセルMC、シェアードセンスアンプの転送ゲートBSA、BSB、その制御信号BLI、pチャネルセンスアンプPSA、pチャネルセンスアンプのドライブライン $\overline{SP}$ 、nチャネルセンスアンプNSA、nチャネルセンスアンプのドライブラインSN、ビット線イコライズ用回路EQ、イコライズ用制御回路BLEQ、I/Oバスとのスイッチング回路IOSWを含む。さらに、この実施例の特徴となる疑似GNDレベル発生回路19と電源降圧回路60が設けられている。電源降圧回路60は電源電圧 $V_{cc}$ を降圧した降圧電圧 $V_{cc}'$ を出力し、この降圧電圧 $V_{cc}'$ はスイッチ回路SW10を介してpチャネルセンスアンプのドライブライン $\overline{SP}$ に供給される。また、疑似GNDレベル発生回路19は接地電位よりも高い疑似GND電位 $V_{ss}'$ を出力し、この疑似GND電位 $V_{ss}'$ はスイッチ回路SW11を介してnチャネルセンスアンプ2のドライブ線SNに供給される。スイッチ回路SW10はセンスアンプドライブライン $\overline{SP}$ を制御するための信号 $\overline{SU}/L$ によって導通し、スイッチ回路SW11はこのnチャネルセンスアンプ2のセンスドライブラインSNを制御する信号 $SU/L$ 、 $SFU/L$ によって導通する。

【0117】図43は図42の動作を説明するためのタイムチャートである。この図43には、図42に示したダイナミックRAMの内部動作を表す主なクロックを示しており、特に、外部入力 $\overline{RAS}$ 、 $\overline{CAS}$ 、 $A_n$ と、内部ロウアドレス信号 $RAn$ と、内部コラムアドレス信号 $CAn$ と、ロウプリデコード信号 $Xi, j, k$ と、コラムプリデコード信号 $Yi, j, k$ と、マスタロー信号 $\phi x$ と、そのデコード信号でワード線WLのトリガ信号 $\phi x1$ と、センス動作完了後に出力されるコラムイネーブル信号 $\overline{CE}$ と、コラム選択信号でI/Oバスとセンスアンプを接続する信号 $CSL$ と、データ出力 $Dout$ が示されている。

【0118】次に、図43を参照しながら図42の動作について説明する。初めに、転送ゲートBSA、BSBがともに導通状態で、メモリセルブロック1a、1bとセンスアンプ帯2aが接続されていて、イコライズ回路3によってビット線対BL、 $\overline{BL}$ は図43(m)に示すように、 $VBL (= (V_{cc}' + V_{ss}') / 2)$ にプリチャージされている。メモリセルブロック1aが選択されると、メモリセルブロック1bとセンスアンプ帯2aは転送ゲートBSBによって切離される。

【0119】次に、ワード線WLが図43(1)に示すように「H」に立上ると、メモリセルMCからデータがビット線BLに読出され、センスアンプ2、4に転送

される。nチャネルセンスアンプ2が活性化されると、図43(n)に示すように、SFU/L、SU/L信号によって、スイッチ回路SW11が導通し、疑似GNDレベル発生回路19で発生された疑似GND電位 $V_{ss}'$ がスイッチ回路SW11を介してセンスドライバラインSNに供給される。次に、pチャネルセンスアンプ4が活性化されると、図43(p)に示す/SU/L信号によってスイッチ回路SW10が導通し、電源降圧回路60で降圧された電圧 $V_{cc}'$ がスイッチ回路SW10を介してpチャネルセンスドライバラインSPに供給される。そして、センスアンプ2、4によって、ビット線対BL、/BLの電位が電位 $V_{cc}'$ 、 $V_{ss}'$ に増幅される。

【0120】ここで、前述の各実施例で説明したように、ビット線の低レベル側を疑似GND電位 $V_{ss}'$ にすることによって得られる効果について以下に詳細に説明する。

【0121】図44および図45はこの発明の効果を説明するための図である。

(1) ディスターブリフレッシュに強くなる。

【0122】選択ブロックのビット線は電位 $V_{cc}'$ 、 $V_{ss}'$ に増幅された状態でそれにつながるメモリセルで非選択なものは、図44に示すように、メモリセルトランジスタMTのゲート電位が $V_{ss}=0V$ でビット線BLが $V_{ss}' > 0V$ 、ストレージノードの電位が「H」レベルの電位 $V_{cc}'$ となる。この場合にメモリセルトランジスタMTを介してのサブスレッショルド電流(図44に示す矢印)は従来のビット線BLとワード線WLの電位がともに0Vのものに比べて格段に減少させることができる。

【0123】(2) メモリセルトランジスタMTのしきい値電圧 $V_{TM}$ を低く設定でき、信頼性の向上が図れる。

【0124】上述の(1)で述べたように、ディスターブリフレッシュに強くできるため、メモリセルトランジスタMTのしきい値電圧 $V_{TM}$ を従来より低く設定できるため、ワード線の昇圧電圧 $V_{pp}$ (メモリセルに十分な「H」レベルのデータを書込むには、 $V_{pp} > V_{cc}' + V_{TM}$ でなくてはならない)を下げる事が可能となり、トランジスタの信頼性を向上できる。

【0125】(3) 昇圧電圧発生回路を不要にできる。メモリセルが従来少数キャリアのインジェクション対策のため、メモリセルの基板またはウェルの電位を負電圧に設定する必要があったが、この発明では、メモリセルの低レベルは電位 $V_{ss}'$ であり、基板(ウェル)の電位は接地電位 $V_{ss}$ であるので、メモリセルから見た場合実質的に負電圧のバイアス電位が基板に設定された状態を実現できる。また、昇圧電圧発生回路が不要になるので、消費電力の低減が図れる。

【0126】(4) トリプルウェル構造が不要にな

る。ISSCC89Dig. OF Tech Papers 248~249頁に示されているように、メモリセルアレイはインジェクション防止のためにウェル電位を負電位の $V_{bb}$ に設定し、周辺回路はトランジスタの高性能化のために接地電位 $V_{ss}$ に設定するためにはP基板を用いた場合には、トリプルウェルを採用しなければならず、プログラム工程数を増やす必要がある。しかし、この発明では、メモリアレイ部はビット線やメモリセルの「L」レベルを疑似GND電位 $V_{ss}'$ にしてウェル電位を接地電位に設定し、周辺回路も「L」レベルとウェル電位をともに接地電位 $V_{ss}$ にすることで、前述のトリプルウェル構造を通常の図45に示すようなツインウェル構造で実現できる。

【0127】図46~図50は、図42に示した各クロック信号を発生するための回路図であり、特に、図46は行プリデコード出力 $X1$ 、 $j$ 、 $k$ の発生回路を示し、図47はマスタロウデコード信号 $\phi x1$ の発生回路を示し、図48はワード線駆動信号発生回路を示し、図49はコラムSFU/L信号発生回路を示し、図50は、コラム選択信号発生回路を示す。図46に示すように、内部アドレス信号 $A0 \sim A3$ は行アドレスバッファ61に与えられ、ロウアドレス信号 $RA0$ 、/ $RA0 \sim RA3$ 、/ $RA3$ が出力され、そのうち、ロウアドレス信号 $RA2$ 、/ $RA2$ 、 $RA3$ 、/ $RA3$ が行プリデコード62に与えられ、行プリデコード信号 $X1$ 、 $X2$ 、 $X3$ 、 $X4$ にデコードされる。また、ロウアドレス信号 $RA0$ 、/ $RA0$ 、 $RA1$ 、/ $RA1$ は図47に示したサブデコード63に与えられる。このサブデコード63にはマスタロウ信号 $\phi x$ が与えられており、サブデコード63はロウアドレス信号 $RA0$ 、/ $RA0$ 、 $RA1$ 、/ $RA1$ に応じて、マスタロウ信号 $\phi x$ を選択し、 $\phi x1 \sim \phi x4$ を出力する。

【0128】図46の行プリデコード信号 $X1 \sim X4$ は図48のロウデコード64に与えられ、図47の $\phi x1 \sim \phi x4$ のいずれかが図48の選択ゲート $Tr51$ のゲートに与えられる。選択ゲート $Tr51$ は $\phi x1$ によって導通すると、行デコード64のデコード出力がnチャネルトランジスタ $Tr54$ とpチャネルトランジスタ $Tr55$ からなるワード線ドライバを介してワード線駆動信号として出力される。また、マスタロウ信号 $\phi x$ は図49に示す遅延回路67によって遅延され、ANDゲート65の一方入力端に与えられる。行プリデコード出力 $X1$ または $X3$ と $X2$ または $X4$ はORゲート65を介してANDゲート66の他方入力端に与えられ、このANDゲート66からSFU/L信号が出力される。さらに、図50に示すように列プリデコード信号 $Y1$ 、 $j$ 、 $k$ 、 $l$ が図示しない列プリデコードから出力され、列デコード69に与えられ、その出力がインバータ68で反転され、CSL信号として出力される。

【0129】図46~図49に示した各クロックを発生

するための回路の動作について、図43を参照しながら簡単に説明する。

【0130】図43(c)に示すように、内部アドレス信号Anはアドレスバッファ61に与えられ、アドレスバッファ61から図43(d)に示すようにロウアドレス信号RAnとして出力され、行プリデコーダ62に与えられる。行プリデコーダ62から図43(f)に示すようにプリデコード信号Xiが出力される。また、図43(j)に示すように、マスタロウ信号φxとロウアドレス信号RAnとによってサブデコーダ63は図43(k)に示すように、φx1~φx4を出力する。図48に示す行デコーダ64は行プリデコーダ出力Xi, j, kに応じてデコードし、選択ゲートTr51はφx1に応じて導通し、図43(l)に示すワード線駆動信号を出力する。また、マスタロウ信号φxは遅延回路67によって遅延され、行プリデコード出力X1またはX3とX2またはX4とがORゲート65によって論理和が求められ、ANDゲート66によってORゲート65の出力と遅延回路67の出力との論理積がとられて図43(n)に示すように、SFU/Lが出力される。また、図50に示すように、列デコーダ69はコラムアドレス信号Y1~Y1の論理積を求め、その出力をインバータ68で反転させ、CSL信号として出力する。

【0131】図51は第7の発明の第2実施例を示す回路図である。この図51に示した実施例は、図42に示した転送ゲートBSA、BSBに代えてpチャネルトランジスタTr61~64を設けるとともに、図42に示した電源降圧回路60が省略され、pチャネルセンスアンプ4のドライブライン/SPには、トランジスタTr65を介して電源電圧Vcc'が与えられている。トランジスタTr61, Tr62は制御信号BLI'lによって制御され、トランジスタTr63, Tr64は制御信号BLI'rによって制御される。なお、図51では、図42に示したイコライズ回路の図示が省略されている。

【0132】図52は図51の動作を説明するためのタイムチャートである。次に、図52を参照して図51の動作について説明する。プリチャージ時には、制御信号BLI'lおよびBLI'rは「L」レベルになっていて、トランジスタTr61~Tr64は導通し、ビット線BL, /BLはVBLの電位にプリチャージされている。そして、左側のブロックが選択されると、制御信号BLI'rが「H」レベルになり、トランジスタTr63, Tr64が非導通になる。次に、ワード線WLが図52(a)に示すように、Vppの電位に立上がり、メモリセル1からデータが図52(b)に示すビット線対BL, /BLに読出される。読出されたデータはnチャネルセンスアンプ2によって増幅され、次いでpチャネルセンスアンプ4で増幅される。このとき、nチャネルセンスアンプ2のドライブラインSNはスイッチ71を

介して接地レベルVssに接続され、pチャネルセンスアンプ4のドライブライン/SPはトランジスタTr65を介して電源電圧Vcc'に接続される。ビット線対BL, /BLのレベルはBLI'lが接地電位Vssであるので、「H」レベルは電源電圧Vcc'のレベルになるが、「L」レベルのときは、トランジスタTr61, Tr62のしきい値電圧Vthだけ接地電位Vssより浮いたレベルになる。すなわち、接地電位Vssよりもしきい値電圧Vthだけ高いVss'となる。このため、この図51に示した実施例では、図42に示した疑似GNDレベル発生回路19を不要にできる。また、センスアンプはそれぞれ接地電位Vssまでフルスイングするため、感度が向上するという利点がある。

【0133】図53は第7の発明の第3実施例を示す回路図である。この実施例は、図51に示した実施例において、センスドライブラインSNと/SPをイコライズしたとき、ビット線対BL, /BLの電位がVBL=(Vcc'+Vss')/2にならず、Vcc'/2になってしまう点を改良したものである。すなわち、センスドライブラインSNはスイッチ回路71を介してトランジスタTr65とTr66のドレインに接続され、トランジスタTr65のゲートには制御信号DCが与えられ、ソースは接地される。トランジスタTr66のゲートには制御信号/DCが与えられ、そのソースには疑似GNDレベル発生回路19から電位Vss'が与えられる。

【0134】図54は図53の動作を説明するためのタイムチャートである。次に、図54を参照して、図53の実施例の動作について説明する。センス開始時において、図54(a)に示すロウアドレスストロブ信号/RASが「L」レベルになると、この信号が遅延され、制御信号DCとなる。すなわち、図54(d)に示すように、制御信号DCがVcc'に立上がると、トランジスタTr65が導通し、スイッチ回路71を介してセンスドライブラインSNが接地電位Vssレベルになる。このため、センスアンプ2の接地電位Vssと電源電位Vcc'との間の電位差で動作するので、感度が向上する。その後、一定時間経過後に、制御信号/DCがVcc'に立上がるので、トランジスタTr66が導通し、センス駆動ラインSNには、疑似GNDレベル発生回路19から電位Vss'が与えられ、センスアンプ2のプリチャージ電位がビット線電位VBLと同じになる。すなわち、図53に示した実施例では、図54(f)に示すように、センス初期時には、センスドライブラインSNが接地電位とVcc'の電位差で動作し、所定時間経過後には、接地電位Vssより高い電位Vss'と電源電圧Vcc'との間で動作することになる。

【0135】図55は第7の発明の第4実施例を示す回路図である。この図55に示した実施例は、トランジスタTr67とTr68とによって、センスドライブライ

ンSNの電位が接地電位 $V_{ss}$ と疑似GNDの電位 $V_{ss'}$ とを切換えるようにしたものである。トランジスタTr67は制御信号SFU/Lによって導通し、トランジスタTr68は制御信号SU/Lによって制御される。トランジスタTr67のソースは接地電位 $V_{ss}$ に接続され、トランジスタTr68のソースは疑似GNDレベル発生回路19に接続される。

【0136】図56は図55の動作を説明するためのタイムチャートである。図56(c)に示すように、センスの初期においてSFU/Lが「H」レベルになって、トランジスタTr67が導通し、センスドライラインSNが接地電位 $V_{ss}$ になる。このため、センスアンプ2は接地電位 $V_{ss}$ と電源電圧 $V_{cc'}$ との間で動作するため、センス初期の感度を向上でき、センス速度も速くなる。そして、図56(e)に示すように、ビット線BLの「L」レベルの電位が疑似GNDレベル $V_{ss'}$ になる前に、SFU/L信号が「L」レベルになり、図56(d)に示すように、制御信号SU/Lが「H」レベルになって、トランジスタTr68が導通し、センスドライラインSNに疑似GNDレベル $V_{ss'}$ が与えられ、ビット線BL、/BLがオバーシングするのを防止する。

【0137】図57は、第8の発明の原理を説明するための図である。この第8の発明では、図1(b)で説明した第1の発明と同様にして、接地電位よりも予め定める電位だけ高い疑似GNDレベルを設定するとともに、内部電源電圧 $Ext. V_{cc}$ に比べて予め定める電位だけ低い内部電源電圧 $Int. V_{cc}$ を発生し、内部電源電圧 $Int. V_{cc}$ レベルと疑似GNDレベルの間でICが動作するようにしたものである。なお、このIC動作電圧は、DRAMのメモリセルのデータリテンション特性を向上させるために選択されるものであり、それ以外の回路部分については、他の電位を設定するようにしてもよい。

【0138】図58は第8の発明においてワード線のサブスレッショルドリーク電流を説明するための図である。

【0139】図57に示した状態では、メモリセルを含むビット線の系は内部電源電圧 $Int. V_{cc}$ と疑似GNDの間が動作電圧となる。つまり、ビット線の「L」レベル側の振幅レベルは疑似GNDである。また、ワード線の非選択レベルはGNDレベルとなっている。これにより、ワード線の非選択レベルがビット線の「L」レベルに対して相対的にその状態が形成され、サブスレッショルドリーク電流が減少することとなる。

【0140】これを図58を参照しながら説明する。図58はワード線のサブスレッショルドリークについて示しており、横軸はゲート電圧で縦軸がリーク電流のLog値を示している。基板電位を印加しない場合のワード線のサブスレッショルドリーク電流特性をaで示し、こ

れに対して接合リーク電流のレベルをdで示すとする。ゲート電圧が0Vの場合には、サブスレッショルドリーク電流は接合リーク電流に対して小さい状態を維持する。これに負の基板電位を印加すると、bに示すように変化し、さらに減少する。しかし、実際にはソース・ドレイン間に電圧が印加される状態や温度上昇に伴いcに示すような特性に変化し、ゲート電圧0V時のサブスレッショルドリーク電流はBとなり劣化する。この状態は接合リーク電流に対してほとんどマージンがなく僅かなゲート電位ノイズにも敏感に反応して、Cに示すように接合リーク電流よりも大きくなる可能性が大きい。しかし、このとき、この発明を適用してゲート電位を相対的に負に設定することにより、サブスレッショルドリーク電流はDに示すように十分小さくなる。これにより、基板電位をもさらに浅く設定することができる。たとえば、-80mVの基板電位を印加すると、リーク電流は1桁少なくてよい。

【0141】図59は第8の発明の第一実施例を示す回路図である。図59において、pチャネルトランジスタTr71のソースは外部電源電圧 $Ext. V_{cc}$ のラインに接続され、そのゲートは比較回路82の出力に接続され、ドレインは比較回路82の比較入力端に接続され、ドレインから内部電源電圧 $Int. V_{cc}$ が出力される。比較回路82は基準電圧Aと内部電源電圧 $Int. V_{cc}$ とを比較し、外部電源電圧 $Ext. V_{cc}$ を内部電源電圧 $Int. V_{cc}$ に降圧する。nチャネルトランジスタTr72のドレインは外部GNDに接続され、そのゲートは比較回路83の出力に接続され、そのソースは疑似GNDとして出力されるとともに、比較回路83の比較入力端に接続される。比較回路83は基準電圧と疑似GNDとを比較し、外部GNDよりも僅かに高い電位の疑似GNDレベルをnチャネルトランジスタTr72から発生させる。

【0142】図60は図59に示した実施例におけるIC動作電圧を示す図であり、図61は図59に示した実施例における基準電圧の変化を示す図である。

【0143】図59に示した実施例のように、特にDRAMメモリアレイ回路を動作させる場合、内部電源電圧 $Int. V_{cc}$ を一定に保った状態で、疑似GNDを新たに設定することは、メモリセルの動作電圧をより減少させることとなり、メモリセルに蓄積させるべき電荷量も減少するために、逆にリテンション特性が悪化してしまう可能性が生じる。したがって、この場合、蓄積電荷量を維持するために内部電源電圧 $Int. V_{cc}$ を図60(a)に示す動作範囲から図60(b)または(c)に示すように、疑似GNDのシフト量に合わせてシフトさせればよい。

【0144】このような構成にすることにより、メモリセルへの蓄積電荷量は変化せず、図59に示した実施例のような構成をとることでサブスレッショルドリーク電

流を抑えながら、基板バイアス電位も小さくして接合リーク電流も抑えることが可能となる。したがって、メモリセルのリテンション特性を大幅に改善できる。これを実現するのは非常に簡単であり、図59に示した内部電源電圧発生回路および疑似GND発生回路に与える基準電圧A、Bを等間隔になるように制御すればよい。つまり、図61(a)~(c)に示すように、疑似GNDを発生するための基準電圧Bから内部電源電圧Int、Vccを発生するための基準電圧Aの電圧差Vbが変化しないように基準電圧AおよびBを設定すればよい。ただし、図59に示した実施例から容易に類推できるように、基準電圧AとBのシフトの量を違えることにより、内部電源電圧Int、Vccと疑似GNDの電位を自由に調節することが可能であることは言うまでもない。

【0145】図62は図59に示した基準電圧を発生するための基準電圧発生回路の一例を示す電気回路図である。図62において、pチャネルトランジスタTr81のソースは外部電源電圧Ext、Vccラインに接続され、ドレインはnチャネルトランジスタTr82のドレインとpチャネルトランジスタTr83のゲートとに接続される。nチャネルトランジスタTr82のソースは接地され、pチャネルトランジスタTr83のソースはpチャネルトランジスタTr81のゲートとpチャネルトランジスタTr85のゲートと抵抗R1の一端に接続される。抵抗R1の他端は外部電源電圧Ext、Vccラインに接続される。

【0146】pチャネルトランジスタTr83のドレインはnチャネルトランジスタTr82のゲートとnチャネルトランジスタTr84のゲートおよびドレインに接続される。nチャネルトランジスタTr84のソースは接地され、pチャネルトランジスタTr85のソースには外部電源電圧Ext、Vccが与えられる。pチャネルトランジスタTr85のドレインは抵抗R2とR3とを介して接地される。そして、pチャネルトランジスタTr85のドレインと抵抗R2との接続点から基準電圧Vref1が出力され、抵抗R2とR3の接続点から基準電圧Vref2が出力される。

【0147】図62に示した基準電圧発生回路は、nチャネルトランジスタTr82とTr84およびpチャネルトランジスタTr83がカレントミラー回路を構成しているため、pチャネルトランジスタTr81に流れる電流Iと抵抗R1に流れる電流Iは等しくなる。このときの電流量はpチャネルトランジスタTr81のしきい値Vthpと抵抗R1の電位降下量とが等しくなるため、 $I = V_{thp} / R1$ で表わされる。また、pチャネルトランジスタTr81とTr85のチャネル幅などのサイズが同じであればそれぞれに同じ電流が流れるが、pチャネルトランジスタTr85のチャネル幅などを変更して、pチャネルトランジスタTr81に対してn倍の電流駆動能力をpチャネルトランジスタTr85に持

たせると、pチャネルトランジスタTr85に流れる電流量はnIとなる。したがって、抵抗R2とR3とに流れる電流はそれぞれnIとなるため、基準電圧Vref1およびVref2は次のような値となる。

$$[0148] \quad V_{ref1} = \{ (n \times V_{thp}) / R1 \} \times (R2 + R3)$$

$$V_{ref2} = \{ (n \times V_{thp}) / R1 \} \times R3$$

このとき、基準電圧Vref1とVref2の差は次のようになる。

$$[0149] \quad V_{ref1} - V_{ref2} = \{ (n \times V_{thp}) / R1 \} \times R2$$

このように、基準電圧Vref1とVref2の差はpチャネルトランジスタTr85に流れる電流による抵抗R2の電位降下量として表現されるため、図61に示すように、抵抗R3の抵抗量を変化させるだけで、基準電圧Vref1、Vref2の値の差を維持したままシフトさせることが可能となる。

【0150】図63は図62に示した基準電圧発生回路の改良例を示す図である。前述の図62に示した基準電圧発生回路から発生される基準電圧に基づいて内部電源電圧Int、Vccおよび疑似GNDを発生させ、それによってメモリセルを動作させると、現在のDRAMにおいて使用されている1/2Vccビット線プリチャージ方式における1/2Vccレベルもともにシフトする必要が生じる。このため、図63に示した例では、図62に示した抵抗R2は、その抵抗値を1/2に分割して抵抗R21とR22とに置換えられる。そして、抵抗R21とR22との接続点から新たな基準電圧(Vref1 + Vref2) / 2が発生される。この基準電圧を基にして、1/2Vcc発生回路を構成すれば、容易に1/2Vccレベルの電位を発生でき、内部電源電圧Int、Vccおよび疑似GNDが変化しても追従できる。

【0151】図64は図62に示した基準電圧発生回路のさらに他の改良例を示す回路図である。この図64に示した例は、図62に示した回路構成において設定している基準電圧Vref1、Vref2を基に発生している内部電源電圧Int、Vccおよび疑似GNDを臨時にシフトできるようにしたものである。すなわち、たとえば疑似GNDを臨時的に外部GNDとほぼ同電位にした場合に使用されるものであって、抵抗R3に対してnチャネルトランジスタTr86が並列接続され、このnチャネルトランジスタTr86のゲートにはテスト信号が与えられる。

【0152】図65は図64に示した回路図の動作を説明するための波形図である。通常、nチャネルトランジスタTr86のゲートに与えられているテスト信号は“L”レベルであって、非活性状態にあり、基準電圧Vref1およびVref2は前述の図62で説明したように所定の電位に設定されている。何らかの理由、たとえばメモリセルの蓄積容量を保持した状態でサブスレッ

ショルドリーク電流を加速してメモリセルのリテンション特性を評価したい場合など、テスト信号を“H”レベルに活性化して、基準電圧 $V_{ref2}$ を外部GNDと短絡することにより、内部電源電圧 $I_{nt. Vcc}$ と疑似GNDの電位差を保持したまま電位を下げる事が可能となる。テスト終了後は、再びテスト信号が非活性化され、基準電圧 $V_{ref1}$ 、 $V_{ref2}$ の電位は図65に示すように元の電位に戻すことができる。

【0153】図66は基準電圧発生回路のさらに他の例を示す回路図である。この図66に示した基準電圧発生回路は、図62に示した抵抗 $R2$ に代えて $n$ 個の抵抗 $R211$ 、 $R212$ 、 $\dots$ 、 $R21n$ を並列接続し、抵抗 $R3$ に代えて $m$ 本の抵抗 $R311$ 、 $R312$ 、 $\dots$ 、 $R31m$ を並列接続し、それぞれの抵抗 $R211$ 、 $R212$ 、 $\dots$ 、 $R21n$ に対応してヒューズ $911$ 、 $912$ 、 $\dots$ 、 $91n$ を設け、抵抗 $R311$ 、 $R312$ 、 $\dots$ 、 $R31m$ に対応してヒューズ $921$ 、 $922$ 、 $\dots$ 、 $92m$ を設けたものである。そして、レーザトリミングもしくは他の手段によってヒューズ $911$ 、 $912$ 、 $\dots$ 、 $91n$ と $921$ 、 $922$ 、 $\dots$ 、 $92m$ を切断し、それぞれの抵抗値を変化させて、基準電圧 $V_{ref1}$ 、 $V_{ref2}$ を調整することができる。基準電圧 $V_{ref2}$ として、抵抗 $R311$ 、 $R312$ 、 $\dots$ 、 $R31m$ の抵抗による電圧降下で決まる電圧が出力され、基準電圧 $V_{ref1}$ と $V_{ref2}$ の間が抵抗 $R211$ 、 $R212$ 、 $\dots$ 、 $R21n$ の抵抗による電圧降下で決まる電圧が出力される。この状態からヒューズを切断していくに従って抵抗値が上昇し、電圧値を自由に調整することができる。

【0154】図67は基準電圧発生回路のさらに他の例を示す回路図である。この図67に示した基準電圧発生回路は図66に示したヒューズ $911$ 、 $912$ 、 $\dots$ 、 $91n$ 、 $921$ 、 $922$ 、 $\dots$ 、 $92m$ のそれぞれに対して $n$ チャネルトランジスタ $Tr911$ 、 $Tr912$ 、 $\dots$ 、 $Tr91n$ 、 $Tr921$ 、 $Tr922$ 、 $\dots$ 、 $Tr92m$ を直列接続し、各ヒューズを切断する前に各トランジスタを導通状態にして基準電圧 $V_{ref1}$ 、 $V_{ref2}$ の値を調整し、テストを確認した後、改めてヒューズを切断し、所望の電圧を出力しようとするものである。この場合、各 $n$ チャネルトランジスタ $Tr911$ 、 $Tr912$ 、 $\dots$ 、 $Tr91n$ 、 $Tr921$ 、 $Tr922$ 、 $\dots$ 、 $Tr92m$ のオン抵抗も考慮する必要がある。

【0155】この図67に示した実施例は、テスト時のみではなく、特殊な用途にも展開が可能である。たとえば、近年ではDRAMが長時間非使用になる場合などにチップ内部にて、DRAMメモリセルのリフレッシュをコントロールし、通常のスペックに規制されている以上にリフレッシュを行なう間隔を広げ、DRAMのネックとなっているリフレッシュ動作時の消費電流を低減しようとする試みがある。このときに、より消費電流を低減しようとするれば、リフレッシュ間隔を広げる他に、動作

電圧を低減すればよいことになる。このような状況での動作になった場合に、図67に示した実施例の回路を用いて、最適な状態への動作電圧の移行を図り、消費電流の低減を図ることができる。

【0156】図68はチップを使用していないときに、リフレッシュ動作を行なう場合に、消費電力の低減を行なうようにした実施例の回路図である。

【0157】たとえば、DRAMにおいて、通常動作時にはディスタービングによりワード線のサブスレッシュョルドリーク電流が増大するため、この発明の回路によってメモリセルが動作する電圧を修正し、定電位用の電源をワード線の低電位側の電源に比べて少し上昇させてあったとする。その後、チップが長期にわたって使用されていない状態に入り、リフレッシュのみを行なう状態になったとする。このときには、ディスタービングがあまりかからない状態になるので、ディスタービングによるリーク電流の増大はさほど気にならない。そこで、メモリセルの動作電圧の低電位側を低下させることにより、メモリセルの接合にかかる電界を小さくし、接合リークによるリーク電流の増大を小さくすることができる。

【0158】図68に示した実施例はそのような場合に内部電源電圧 $I_{nt. VccA}$ と $B$ 、疑似GND $A$ と $B$ を切換えるようにしたものである。

【0159】図68を参照して、その構成について説明する。 $p$ チャネルトランジスタ $Tr101$ のソースには内部電源電圧 $I_{nt. VccA}$ を発生させるための基準信号 $X1$ が与えられ、そのゲートにはクロック信号 $\phi$ が与えられ、そのドレインは比較回路84の比較入力端に接続される。比較回路84の出力は $p$ チャネルトランジスタ $Tr103$ のゲートに接続され、そのソースには外部電源電圧 $Ext. Vcc$ が与えられ、ドレインは比較回路84の基準入力端に接続されるとともに、内部電源電圧 $I_{nt. VccA}$ を出力する。内部電源電圧 $I_{nt. VccB}$ を発生するための基準信号 $X2$ は比較回路85の比較入力端に与えられ、比較回路85の出力が $p$ チャネルトランジスタ $Tr104$ のゲートに接続される。 $p$ チャネルトランジスタ $Tr104$ のソースには外部電源電圧 $Ext. Vcc$ が与えられ、ドレインは比較回路85の基準入力端に接続されるとともに、内部電源電圧 $I_{nt. VccB}$ を出力する。比較回路84と85の比較入力端の間には $p$ チャネルトランジスタ $Tr102$ が接続され、そのゲートにはクロック信号 $\phi$ が与えられる。

【0160】 $n$ チャネルトランジスタ $Tr110$ のソースには疑似GND $A$ のレベルを発生させるための基準信号 $Y1$ が与えられ、そのゲートにはクロック信号 $\phi$ が与えられ、ドレインは比較回路87の比較入力端に接続される。比較回路87の出力は $n$ チャネルトランジスタ $Tr112$ のゲートに接続され、そのソースは外部GNDに接続される。 $n$ チャネルトランジスタ $Tr112$ のド



レインは比較回路87の基準入力端に接続されるとともに、疑似GNDAを出力する。疑似GNDBのレベルを発生するための基準信号Y2は比較回路86の比較入力端に与えられ、比較回路86の出力はnチャネルトランジスタTr111のゲートに接続され、そのソースは外部GNDに接続される。nチャネルトランジスタTr111のドレインは比較回路86の基準入力端に接続されるとともに、疑似GNDBを出力する。比較回路86と87の比較入力端にはnチャネルトランジスタTr109が接続され、そのゲートにはクロック信号/φが与えられる。

【0161】さらに、内部電源電圧Int. VccBと疑似GNDBとの間にはpチャネルトランジスタTr105とnチャネルトランジスタTr107の直列回路が接続されるとともに、pチャネルトランジスタTr106とnチャネルトランジスタTr108の直列回路が接続される。pチャネルトランジスタTr105とnチャネルトランジスタTr107のゲートには入力信号が与えられ、それぞれのドレインはpチャネルトランジスタTr106とnチャネルトランジスタTr108のゲートに接続され、pチャネルトランジスタTr106とnチャネルトランジスタTr108のドレインは出力として取出される。

【0162】図69は図68の動作を説明するためのタイムチャートである。使用状態では、信号φは図69(a)に示すように、“H”レベルとなり、/φは図69(b)に示すように“L”レベルとなる。このため、図68のpチャネルトランジスタTr101が導通し、基準信号X1が比較回路84に与えられ、基準信号X2が比較回路85に与えられる。比較回路84は基準信号X1と内部電源電圧Int. VccAとを比較し、その出力に応じてpチャネルトランジスタTr103が外部電源電圧Ext. Vccを降圧し、図69(c)に示すように、外部電源電圧Ext. Vccよりも低い内部電源電圧Int. VccAを出力する。このとき、比較回路85はpチャネルトランジスタTr104を制御して、外部電源電圧Ext. Vccを降圧し、内部電源電圧Int. VccAよりもレベルの低い内部電源電圧Int. VccBが出力される。

【0163】一方、/φが“L”になったことによって、nチャネルトランジスタTr109が導通し、nチャネルトランジスタTr110が非導通になり、比較回路86、87には基準信号Y2が与えられる。比較回路87は基準信号Y2と疑似GNDAとを比較し、図69(d)に示すように、外部GNDよりも高い電位の高い疑似GNDAを出力する。一方、比較回路86は、nチャネルトランジスタTr111を制御し、疑似GNDAよりもレベルの高い疑似GNDBが出力される。

【0164】一方、pチャネルトランジスタTr105とnチャネルトランジスタTr107は、内部電源電圧

Int. VccBと疑似GNDBとの間の電位V<sub>A</sub>で動作し、pチャネルトランジスタTr106とnチャネルトランジスタTr107は内部電源電圧Int. VccAと疑似GNDAとの間の電位V<sub>B</sub>間で動作する。

【0165】非使用状態では、図70(a)に示すように、ある一定時間チップ動作信号としてのクロック信号が入力されなければ、信号φが“L”レベルに立下がり、/φが“H”レベルに立上がり、次に動作状態になってクロック信号が入力されると、今度は信号φが“H”レベルとなり、/φが“L”レベルに立下がる。信号φが“L”レベルに立下がったことによって、図68のpチャネルトランジスタTr102が導通し、信号/φが“H”レベルとなり、pチャネルトランジスタTr101が非導通になり、比較回路84、85にはそれぞれ基準信号X2が与えられるので、比較回路85がpチャネルトランジスタTr104を導通させ、内部電源電圧Int. VccBを出力させる。

【0166】一方、nチャネルトランジスタTr109が非導通となり、nチャネルトランジスタTr110が導通するので、比較回路87はnチャネルトランジスタTr112を導通させ、疑似GNDBの電位を高める。このため、pチャネルトランジスタTr106とnチャネルトランジスタTr108からなる出力バッファは電位V<sub>B</sub>の間で動作する。すなわち、使用時には、出力バッファは多少リーク電流が流れても動作速度を上げた方が良いため、V<sub>B</sub>の電位で動作し、非使用状態ではV<sub>A</sub>よりも低いV<sub>A</sub>の電位で動作させることができ、リーク電流を抑えることができる。

【0167】図71は非使用時に基板バイアス電圧と昇圧電源回路の動作を制御するようにした実施例を説明するための図である。この図71に示した例は、使用時には基板バイアス電圧V<sub>SS</sub>のレベルを外部GNDに対して深くするとともに、昇圧電圧V<sub>pp</sub>レベルを外部電源電圧Ext. Vccに比べて高くし、非使用時には基板バイアス電圧V<sub>SS</sub>のレベルを外部GNDに対して浅くするとともに、昇圧電圧V<sub>pp</sub>のレベルを外部電源電圧Ext. Vccに比べて低くするようにしたものである。

【0168】図72は基板バイアス電圧を制御する回路例を示す図である。図72において、nチャネルトランジスタTr131のゲートには信号/φが与えられる。nチャネルトランジスタTr131のドレインは比較回路89の比較入力端に接続される。また、nチャネルトランジスタTr131のドレインには定電流源88から定電流が供給される。比較回路89の基準入力端は接地される。比較回路89の出力は基板電位発生回路90に接続され、基板電位発生回路90の出力はnチャネルトランジスタTr131のソースに接続されるとともに、基板バイアス電圧V<sub>SS</sub>を出力する。

【0169】前述の図69で説明したように、信号/φは使用時に“L”レベルになるため、nチャネルトラン

ジスタTr131は導通しにくくなる。このため、nチャネルトランジスタTr131のドレインとソース間の抵抗値が大きくなり、定電流源88から電流が流れにくくなり、比較回路89の比較入力端の電位が高くなる。比較回路89は接地電位と比較入力とを比較し、その出力が基板電位発生回路87に与えられる。このため、基板電位発生回路87は図71に示すように、外部GNDに対して基板バイアス電圧 $V_{ss}$ を高くする。

【0170】非使用時には、信号 $\phi$ が“H”レベルになり、nチャネルトランジスタTr131が導通するため、抵抗値が小さくなり、定電流源88からの電流が流れやすくなる。このため、比較回路89の比較入力電圧が小さくなり、比較回路89の出力に従って、基板電位発生回路90は基板バイアス電圧 $V_{ss}$ を外部GNDに対して浅くする。

【0171】図73は使用時と非使用時とで昇圧電圧 $V_{pp}$ の電位を制御するようにした例を示す回路図である。pチャネルトランジスタTr134のゲートには信号 $\phi$ が与えられ、そのソースは比較回路92の比較入力端に接続される。比較回路92の比較入力はnチャネルトランジスタTr133のドレインに接続され、ソースは接地され、ゲートはnチャネルトランジスタTr132のドレインとゲートとに接続される。nチャネルトランジスタTr132のソースは接地され、nチャネルトランジスタTr132のドレインには定電流源91から定電流が供給される。比較回路92の基準入力端には外部電源電圧Ext. Vccが与えられ、比較回路92の出力は昇圧電圧発生回路93に接続される。昇圧電圧発生回路93の出力はpチャネルトランジスタTr134のドレインに接続されるとともに、昇圧電圧 $V_{pp}$ が出力される。

【0172】次に、動作について説明する。定電流源91からの電流がnチャネルトランジスタTr132に流れるとともに、同じ値の電流がnチャネルトランジスタTr133にも流れる。使用時には信号 $\phi$ が“H”レベルになるため、pチャネルトランジスタTr134が導通しにくくなり、抵抗値が高くなる。このため、比較回路92の比較入力の電圧は $V_{pp}-I_r$  ( $I_r$ はpチャネルトランジスタTr134の抵抗値)となる。比較回路92は外部電源電圧Ext. Vccと比較入力とを比較し、昇圧電圧発生回路93から発生される昇圧電圧 $V_{pp}$ を高くする。

【0173】非使用時に信号 $\phi$ が“L”レベルになると、pチャネルトランジスタTr134が導通しやすくなり、比較回路92の比較入力電圧が低下する。このため、比較回路92は昇圧電圧発生回路93から発生される昇圧電圧 $V_{pp}$ を低くする。

【0174】上述のごとく、図72、図73に示した実施例では、使用時には昇圧電圧 $V_{pp}$ を高くするとともに、基板バイアス電圧 $V_{ss}$ を外部GNDよりも深くし、

非使用時には昇圧電圧 $V_{pp}$ を低くしかつ基板バイアス電圧 $V_{ss}$ を浅くすることができ、非使用時のリーク電流を少なくできる。

【0175】図74は第8の発明を用いた場合のLSI内部での回路図である。この図74に示した例は、同一の基準電位発生回路100から発生された複数の基準電位を基にして、LSI内部の各回路群に対して異なる電位を供給し、個々に任意の電圧で動作させるようにしたものである。すなわち、基準電位発生回路100は、図62と同様にして構成され、pチャネルトランジスタTr85のドレインと接地間に抵抗R2とR3とR4とが直列接続され、それぞれの接続点から基準電圧Vref1, Vref2, Vref3, Vref4が発生される。LSI内部には、回路群A~Fが設けられている。回路群Aは外部電源電圧Ext. Vccと外部GNDとの間の電位で動作し、回路群Bは電位設定回路111によって基準電圧Vref1に基づいて設定された内部電源電圧Int. Vcc1と外部GNDとの間の電位で動作する。回路群Cは電位設定回路112によって基準電圧Vref2に基づいて設定された内部電源電圧Int. Vcc2と外部GNDとの間の電位で動作し、回路群Dは電位設定回路113によって基準電圧Vref1に基づいて設定された外部電源電圧Int. Vcc3と電位設定回路116によって基準電圧Vref3に基づいて設定された疑似GND1との間の電位で動作する。さらに、回路群Eは同様にして、電位設定回路114によって基準電圧Vref1に基づいて設定された内部電源電圧Int. Vcc3と電位設定回路117によって基準電圧Vref3に基づいて設定された疑似GND1との間の電位で動作し、回路群Fは電位設定回路115によって基準電圧Vref3に基づいて設定された内部電源電圧Int. Vcc2と電位設定回路118によって基準電圧Vref3に基づいて設定された疑似GNDとの間の電位で動作する。

【0176】図75は第9の発明の一実施例を示す図である。この図75に示した実施例は、前述の図22に示した実施例を改良したものである。すなわち、図22の実施例では、アクティブ時に差動増幅回路8とnチャネルトランジスタTr3が活性化されて疑似GND線30の電位を一定電位に保ち、スタンバイ時はnチャネルトランジスタTr2によってそのしきい値電圧Vthnにクランプされる。この場合、差動増幅回路8の基準電圧Vref=Vthnとなっている。しかしながら、スタンバイ時にはnチャネルトランジスタTr2のサブスレッショルド電流によって疑似GND線30のレベルが下がる恐れがある。

【0177】そこで、図75に示した実施例は、疑似GND線30のレベルが下がるのを防止する。このため、疑似GND線30と外部電源電圧Ext. Vccとの間にnチャネルトランジスタTr121が接続される。そ

してnチャネルトランジスタTr 2とTr 1 2 1とによって疑似GND線30のレベルの補償回路が構成される。nチャネルトランジスタTr 1 2 1のゲート電位は $2V_{ref}$ に設定されている。このため、nチャネルトランジスタTr 2に流れるサブスレッショルド電流とnチャネルトランジスタTr 1 2 1に流れるサブスレッショルド電流が等しくなり、疑似GND線30の電位を一定に保つことができる。

【0178】図76は図75に示した基準電圧 $V_{ref}$ とゲート電圧 $V_p$ を発生するための回路図である。図76において、外部電源電圧 $Ext$ 、 $V_{cc}$ と外部GND間に定電流源121と抵抗R11とR12とが直列接続され、定電流源121と抵抗R11との接続点から $V_p = 2V_{ref}$ の電位が出力され、抵抗R11とR12との接続点から $V_{ref} = V_{thn}$ の電位が出力される。

【0179】図77は図76に示した抵抗R11とR12とをトランジスタによって構成したものである。すなわち、抵抗R11に代えてnチャネルトランジスタTr 1 2 2が接続され、抵抗R12に代えてnチャネルトランジスタTr 1 2 3が接続される。この場合、トランジスタTr 1 2 2とTr 1 2 3のしきい値電圧が全く同じになるように、バックゲートバイアス電位が設定される。

【0180】図78は第9の発明の他の実施例を示す回路図である。この図78に示した実施例は、図75に示したnチャネルトランジスタTr 1 2 1に代えて、pチャネルトランジスタTr 1 2 5を外部電源電圧 $Ext$ 、 $V_{cc}$ と疑似GND線30との間に接続したものである。この場合pチャネルトランジスタTr 1 2 5のゲート電位は $V_{cc} - V_p$ にバイアスされる。それ以外の動作は図75と同じである。

【0181】図79は第9の発明の他の実施例を示す図である。この図79に示した実施例は、図75のnチャネルトランジスタTr 1 2 1に代えて、pチャネルトランジスタTr 1 2 6を外部電源電圧 $Ext$ 、 $V_{cc}$ のラインと疑似GND線30との間に接続したものである。この場合、pチャネルトランジスタTr 1 2 6のゲート電位は $V_{cc} - V_p$ にバイアスされる以外は、図75の動作と同じである。

【0182】図80は図78に示した実施例の改良例を示す図である。すなわち、pチャネルトランジスタTr 1 2 5のゲートとドレインとにゲート電圧 $V_p$ が与えられる。この場合、サブスレッショルド電流は電圧 $V_p$ より供給されるので、電圧 $V_p$ は図77に示した回路から供給され、電流補償能力を持つ必要がある。

【0183】図81は図80に示した例の改良例を示す図である。すなわち、図80に示したバックゲート付きのnチャネルトランジスタTr 1 2 5に代えて、バックゲート付きのpチャネルトランジスタTr 1 2 7を接続したものである。

【0184】なお、上述の第9の発明の各実施例において、 $V_p = 2V_{ref}$ にし、さらにトランジスタのサブスレッショルド電流を同じになるように設定したが、 $V_p = 2V_{ref}$ でなくとも、nチャネルトランジスタTr 1 2 4とnチャネルトランジスタTr 1 2 7またはpチャネルトランジスタTr 1 2 5のサブスレッショルド電流が等しければ、疑似GND線30のレベルを一定に保つことができる。この場合、各トランジスタのしきい値やサイズで調節すればよい。

【0185】図82は第10の発明の第1の実施例を示す回路ブロック図、図83はその動作を示すタイムチャートである。

【0186】上述したとおり、内部回路5の低レベル電位のラインを疑似GNDレベル $V_{ss}'$ にすることにより、メモリセルMCのディスタープリフレッシュ時間（データの保持時間）を長くすることができる。しかし、そのままでは出荷前に行なうディスタープリフレッシュ時間のテスト時間も長くなり、テストが高コストとなる。そこで、第10の発明では、通常動作時のディスタープリフレッシュ時間が長いという高性能を維持したまま、テスト時間の短縮化を図る。

【0187】図82を参照して、疑似GNDレベル発生回路19で発生した疑似GNDレベル $V_{ss}'$ が疑似GND線30に与えられている。また、そのドレインが疑似GND線30に接続され、そのソースが接地され、そのゲートがテストモードに入ったことを知らせるテストモードイネーブル信号 $\phi_{test}$ を受けるnチャネルトランジスタTr 1 2 7が設けられている。

【0188】次に、動作を説明する。通常の動作モードのタイミングからWE信号およびCAS信号がRAS信号より早く立下がるWCBR (Write and CAS Before RAS) のタイミングとともにある指定されたアドレスピンに電源レベル $V_{cc}$ より数V高い高電圧レベルが入力される。このWCBRと指定されたアドレスピンへの高電圧レベルの入力がディスタープリフレッシュ加速テストモードへのセットタイミングとなる。

【0189】このセットタイミングが確認されセットサイクルが始まると、テストモードイネーブル信号 $\phi_{test}$ が発生される。この信号 $\phi_{test}$ がnチャネルトランジスタTr 1 2 7のゲートに入力されると、nチャネルトランジスタTr 1 2 7がオンして、疑似GND線30を接地電位 $V_{ss}$ に引く。このときには、センスアンプ用の低レベル電位のラインは疑似GNDレベル $V_{ss}'$  (0.5V)ではなく外部パッドから供給される真の接地電位 $V_{ss}$  (0V)となる。このため、図44に示したビット線BLのレベルも疑似GNDレベル $V_{ss}'$  (0.5V)でなく接地電位 $V_{ss}$  (0V)となり、メモリセルトランジスタMTのソース（ビット線BL）に対するゲート（ワード線WL）の電位 $V_{gs}$ は-

0.5Vと負電圧であったものが0Vとなる。したがって、メモリセルトランジスタMTのサブリーク電流が増加し、メモリセルMCのディスタブリフレッシュ特性が悪化する。よって、このモードに入ったときのディスタブリフレッシュが加速されテスト時間が短縮される。

【0190】次いで、/CAS信号が/RAS信号より早く立下がるCBR(CAS before RAS)のタイミングが確認されるとテストモードイネーブル信号 $\phi_{test}$ が立下がり、応じてnチャネルトランジスタTr127がオフし、疑似GND線30は再び疑似GNDレベル $V_{ss'}$ (0.5V)となる。これより以後は通常の動作に戻る。

【0191】図84は第10の発明の第2の実施例を示す回路ブロック図、図85は図84に示した疑似GNDレベル発生回路19の構成を示す回路図である。基本的な回路構成は第1の実施例と同じであるが、テストモードイネーブル信号 $\phi_{test}$ が疑似GNDレベル発生回路19にも入力されているところが異なる。これは疑似GNDレベル発生回路19の中に疑似GND線30が所定の電位より下がりすぎたときの補償のために充電回路19aが設けられている場合において、加速テストモードに入ったときにテストモードイネーブル信号 $\phi_{test}$ によって充電回路19aを停止させるためである。

【0192】詳しく説明すると、疑似GNDレベル発生回路19は、充電回路19aと放電回路19bを含む。充電回路19aは、差動増幅回路71、nチャネルトランジスタTr3、Tr129およびpチャネルトランジスタTr128を含む。差動増幅回路71の反転入力ノードは疑似GND線30に接続され、その非反転入力ノードには基準電位 $V_{ref}$ (= $V_{ss'}$ )が印加される。nチャネルトランジスタTr3のゲートは差動増幅回路71の出力ノードに接続され、そのドレインには電源電位 $V_{cc}$ が印加され、そのソースは疑似GND線30に接続される。nチャネルトランジスタTr129のゲートはテストモードイネーブル信号 $\phi_{test}$ を受け、そのドレインは差動増幅回路71の出力ノードに接続され、そのソースは接地される。pチャネルトランジスタTr128のゲートはテストモードイネーブル信号 $\phi_{test}$ を受け、そのドレインには電源電位 $V_{cc}$ が印加され、そのソースは差動増幅回路71の電源ノード71aに接続される。放電回路19bは、nチャネルトランジスタTr1、Tr2を含む。nチャネルトランジスタTr1、Tr2のドレインはともに疑似GND線30に接続され、そのソースはともに接地される。nチャネルトランジスタTr1のゲートは疑似GND線30に接続され、nチャネルトランジスタTr2のゲートは内部発生信号 $\phi$ を受ける。

【0193】通常モードにおいてテストモードイネーブル信号 $\phi_{test}$ が「L」レベルである場合は、pチャ

ネルトランジスタTr128がオンしnチャネルトランジスタTr129がオフする。pチャネルトランジスタTr128がオンすると、差動増幅回路71の電源ノード71aに電源電位 $V_{cc}$ が印加され、差動増幅回路71が活性化される。疑似GND線30の電位が基準電位 $V_{ref}$ より低くなった場合は、差動増幅回路71の出力が「H」レベルになってnチャネルトランジスタTr3がオンし、疑似GND線30が充電される。疑似GND線30の電位が基準電位 $V_{ref}$ より高くなった場合は、差動増幅回路71の出力が「L」レベルになってnチャネルトランジスタTr3がオフし、疑似GND線30の充電が停止される。

【0194】また、加速テストモードにおいてテストモードイネーブル信号 $\phi_{test}$ が「H」レベルである場合は、pチャネルトランジスタTr128がオフし、nチャネルトランジスタTr129がオンする。pチャネルトランジスタTr128がオフすると、差動増幅回路71の電源ノード71aへの電源電位 $V_{cc}$ の印加が停止され、差動増幅回路71は非活性化される。また、nチャネルトランジスタTrがオンするので、差動増幅回路71の出力ノードが接地され、nチャネルトランジスタTr3がオフする。したがって、疑似GND線30の充電が停止される。放電回路19bの動作は図2で示した疑似GNDレベル発生回路と同じであるので説明は省略される。

【0195】なお、加速テストモードへのセットおよびリセットのタイミングは第1の実施例で示したのと同じである。また、第1の実施例と同様の効果が得られる。

【0196】図86は第10の発明の第3の実施例を示す回路ブロック図である。この実施例では、第1および第2の実施例のようにテストモードイネーブル信号 $\phi_{test}$ をゲートに受けるnチャネルトランジスタTr127を別途設けることなく、疑似GNDレベル発生回路19の中に疑似GND線30を接地電位 $V_{ss}$ に引くために既に設けられているサイズの大きなnチャネルトランジスタTrを用いる。上述した実施例ではnチャネルトランジスタTr2のゲートには内部発生信号 $\phi$ が入力されていたが、この実施例では内部発生信号 $\phi$ とテストモードイネーブル信号 $\phi_{test}$ がNORゲート130に入力され、NORゲート130の出力がnチャネルトランジスタTr2のゲートに入力される。

【0197】加速テストモードへのセットおよびリセットのタイミングは第1の実施例で示したのと同様である。通常動作時にはテストモードイネーブル信号 $\phi_{test}$ が「L」レベルであるためnチャネルトランジスタTr2は内部発生信号 $\phi$ で制御される。しかし、加速モードのセットサイクルに入りテストモードイネーブル信号 $\phi_{test}$ が「H」レベルになると、内部発生信号 $\phi$ の状態にかかわらずnチャネルトランジスタTr2のゲートは「H」レベルとなる。したがってnチャネルトラ

ンジスタTr 2がオンして疑似GND線30を接地電位Vssに引く。

【0198】この実施例においても第1の実施例と同様の効果が得られる。図87は第10の発明の第4の実施例を示す回路図、図88はその動作を示すタイムチャートである。この実施例の基本的な回路構成は第1、第2および第3の実施例と同様であり、図87には図示していないが疑似GNDレベル発生回路19やnチャネルトランジスタTr 127なども設けられている。この実施例では、それらに加え、そのドレインに電源電位Vccが印加され、そのソースが疑似GND線30に接続され、そのゲートが後述するワンショットパルス信号φtest'を受けるnチャネルトランジスタTr 130が設けられている。このnチャネルトランジスタTr 130は、加速テストモード時に接地電位Vss(0V)にプルダウンされた疑似GND線30をリセットサイクル時に通常の疑似GNDレベルVss'(0.5V)に戻す動作の補助をする。

【0199】次に、動作を説明する。加速テストモード時には、テストモードイネーブル信号φtestが「H」レベルでありnチャネルトランジスタTr 127がオンして疑似GND線30が接地電位Vss(0V)にプルダウンされていた。次いで、第1の実施例で示したタイミングでリセットサイクルに入ると、テストモードイネーブル信号φtestが「L」レベルに立下がりnチャネルトランジスタTr 127がオフする。また、テストモードイネーブル信号φtestの立下がりを基にしてワンショットパルス信号φtest'が生成され、ワンショットパルス信号φtest'はnチャネルトランジスタTr 130のゲートに入力される。応じて、nチャネルトランジスタTr 130が導通状態になり、疑似GND線30は疑似GNDレベルVss'(0.5V)まで素早くプルアップされる。

【0200】この実施例では、充電用のトランジスタTr 130としてnチャネルトランジスタを使用した方が、pチャネルトランジスタを使用してもよい。但し、この場合は、ワンショットパルス信号φtest'を反転する必要がある。

【0201】図89は第10の発明の第5の実施例を示す回路ブロック図である。図89を参照して、この実施例においては、テストモードイネーブル信号φtestに応じて切替わる切換スイッチ132が設けられている。切換スイッチ132の一方切換端子132aは疑似GNDレベル発生回路19の出力に接続され、その他方切換端子132bは接地された外部パッド131に接続され、その共通端子132cは疑似GND線30に接続される。

【0202】通常モードにおいてテストモードイネーブル信号φtestが「L」レベルである場合は、切換スイッチ132の共通端子132cは一方切換端子132

aと導通し、疑似GND線30は疑似GNDレベルVss'になる。加速テストモードにおいてテストモードイネーブル信号φtestが「H」レベルになると、切換スイッチ132の共通端子132cは他方切換端子132bと導通し、疑似GND線30は接地電位Vssになる。

【0203】なお、切換スイッチ132は、たとえば図90に示すように、2つのnチャネルトランジスタTr 131, Tr 132で構成される。nチャネルトランジスタTr 131, Tr 132のドレインはそれぞれ切換端子132b, 132aとなり、そのソースはともに共通端子132cとなり、そのゲートはそれぞれテストモードイネーブル信号φtestおよびその相補信号φtを受ける。

【0204】この実施例においても、第1の実施例と同じ効果が得られる。第4の実施例と組合わせてもよい。

【0205】図91は第10の発明の第6の実施例によるDRAMチップの構成を示すブロック図、図92はその要部拡大図である。図91および図92を参照して、このDRAMチップは、複数のメモリアレイ領域141と、その間に設けられた周辺回路領域142を含む。また、各メモリアレイ領域141は、ロウ方向に配列された複数のサブアレイ143と、サブアレイ143の間および両端に設けられた複数のセンスアンプ帯144と、ロウデコーダ145と、コラムデコーダ146とを含む。

【0206】サブアレイ143は、ロウおよびコラム方向に配列された複数のメモリセル(図示せず)と、各ロウに対応して設けられたワード線(図示せず)と、各コラムに対応して設けられたビット線対BL、/BLとを含む。センスアンプ帯144は、各コラムに対応して設けられたセンスアンプ2を含み、各センスアンプ2は対応するビット線対BL、/BLと接続されている。また、各センスアンプ帯144のセンスアンプ2はセンスドライブラインSNに共通接続されている。

【0207】周辺回路領域142は、疑似GNDレベル発生回路19によって疑似GNDレベルVss'が印加される疑似GND線30と、外部パッド131を介して接地される接地線147と、各センスアンプ帯144に対応して設けられた切換スイッチ132を含む。切換スイッチ132は、疑似GND線30とセンスドライブラインSNの間に接続されたnチャネルトランジスタTr 132と、接地線147とセンスドライブラインSNの間に接続されたnチャネルトランジスタTr 131とを含む。nチャネルトランジスタTr 132, Tr 131は、それぞれセンスアンプ活性化信号SON1, SON2によって制御される。

【0208】センスアンプ活性化信号SON1は、図93に示すように、センスアンプ活性化信号SONおよびテストモードイネーブル信号φtestを受けるゲート

回路161から出力される。ゲート回路161は、通常モードにおいてテストモードイネーブル信号 $\phi_{test}$ が「L」レベルである場合は、センスアンプ活性化信号SONをそのまま出力させる。また、ゲート回路161は、テストモードにおいてテストモードイネーブル信号 $\phi_{test}$ が「H」レベルである場合は、センスアンプ活性化信号SONに関係なく常に「L」レベルを出力する。

【0209】また、センスアンプ活性化信号SON2は、図94に示すように、センスアンプ活性化信号SONおよびテストモードイネーブル信号 $\phi_{test}$ を受けるANDゲート回路162から出力される。ANDゲート回路162は、通常モードにおいてテストモードイネーブル信号 $\phi_{test}$ が「L」レベルである場合は、センスアンプ活性化信号SONに関係なく常に「L」レベルを出力する。また、ANDゲート回路162は、テストモードにおいてテストモードイネーブル信号 $\phi_{test}$ が「H」レベルである場合は、センスアンプ活性化信号SONをそのまま出力させる。

【0210】次に、動作を説明する。通常モードにおいてはセンスアンプ活性化信号SON1が「H」レベルになったことに応じてnチャネルトランジスタTr132がオンし、センスドライブラインSNに疑似GNDレベルVss'が印加される。また、テストモードにおいては活性化信号SON2が「H」レベルになったことに応じてnチャネルトランジスタTr131がオンし、センスドライブラインSNが接地される。

【0211】この実施例においても第1の実施例と同じ効果が得られる。なお、図95に示すように、疑似GND線30および接地線147をそれぞれメッシュ状に形成し、メモリセル領域141を覆うようにして設け、各センスアンプ帯144のセンスドライブラインSNと疑似GND線30および接地線147を複数の切換スイッチ132で接続すれば、各配線SN30、147の配線抵抗を低減でき、配線抵抗による電位の浮き上がりを防止できる。

【0212】なお、センスアンプ2や切換スイッチ132などはシリコン基板表面に形成され、接地線147や疑似GND線30は互いに絶縁されてシリコン基板の上方に順次積層される。

【0213】図96は第10の発明の第7の実施例によるDRAMチップの構成を示す要部拡大図である。図96を参照して、このDRAMチップにおいては、周辺回路領域142は、各センスアンプ帯144に対応して設けられたnチャネルトランジスタTr133と、疑似GNDレベル発生回路19によって疑似GNDレベルVss'が印加される疑似GND線30と、テストモードイネーブル信号 $\phi_{test}$ に応じて疑似GND線30を接地させるnチャネルトランジスタTr127を含む。各nチャネルトランジスタTr133は、各センスアンプ

帯144のセンスドライブラインSNと疑似GND線30の間に接続され、そのゲートはセンスアンプ活性化信号SONを受ける。nチャネルトランジスタTr127は、外部パッド131と疑似GND線30の間に接続され、そのゲートはテストモードイネーブル信号 $\phi_{test}$ を受ける。

【0214】次に、動作を説明する。通常モードにおいてはテストモードイネーブル信号 $\phi_{test}$ は「L」レベルであり、nチャネルトランジスタTr127がオフして疑似GND線30は疑似GNDレベルVss'となる。テストモードにおいてはテストモードイネーブル信号 $\phi_{test}$ が「H」レベルになり、nチャネルトランジスタTr127がオンして疑似GND線30は接地される。センスアンプ活性化信号SONが「H」レベルになるとnチャネルトランジスタTr133がオンしてセンスアンプ2が活性化される。

【0215】この実施例においても、第1の実施例と同じ効果が得られる。また、第6の実施例に比べ、トランジスタ数および配線数を減少することができる。

【0216】なお、図97に示すように、疑似GND線30をメッシュ状に形成し、メモリセル領域141を覆うようにして設け、各センスアンプ帯144のセンスドライブラインSNと疑似GND線30を複数の切換スイッチ132で接続すれば、各配線SN、30の配線抵抗を低減でき、配線抵抗による電位の浮き上がりを防止できる。

【0217】図98は第10の発明の第8の実施例を示すブロック図、図99はその動作を示すタイムチャートである。図98を参照して、この実施例は、メモリアレイ150と、メモリアレイ150のワード線WLを駆動するためのワードドライバ10と、切換スイッチ132を含む。ワードドライバ10の高レベル電位のライン10aには電源電位Vccから昇圧された高電源電位Vppが印加される。ワードドライバ10の低レベル電位のライン10bは切換スイッチ132の共通端子132cに接続され、切換スイッチ132の一方切換端子132aは接地線147に接続され、切換スイッチ132の他方切換端子132bは疑似GND線30に接続される。切換スイッチ132は、図89で示したものと同一であって、テストモードイネーブル信号 $\phi_{test}$ によって制御される。

【0218】次に、動作を説明する。図83で示したタイミングで通常モードから加速テストモードのセットサイクルに入りテストモードイネーブル信号 $\phi_{test}$ が「H」レベルに立上ると、切換スイッチ132によりワードドライバ10の低レベル電位のライン10bは接地電位Vss(0V)から疑似GNDレベルVss'(0.5V)に切換わる。これにより、ワード線WLの非選択レベルは接地電位Vss(0V)から疑似GNDレベルVss'(0.5V)に上昇し、ディスターブリ

フレッシュ特性が悪化する。したがって、リフレッシュテスト時間の短縮化を図れる。次いで、リセットサイクルに入ると、テストモードイネーブル信号 $\phi test$ が「L」レベルに立下がり、ワードドライバ10の低レベル電位のライン10bが再び接地電位 $V_{ss}$  (0V)に切り替わり通常動作に戻る。

【0219】なお、上記第1～第7の実施例と組み合わせれば、ディスタブプリフレッシュ特性をさらに悪化させることができ、テスト時間短縮の効果はさらに増す。

【0220】図100は第10の発明の第9の実施例を示すブロック図である。図100を参照して、この実施例はウェル151中に形成されたメモリアレイ150と、メモリアレイ150のワード線WLを駆動させるためのワードドライバ10と、メモリアレイ150のビット線対BL、 $\overline{BL}$ に接続されたセンスアンプ帯144を含む。また、この実施例は、負電位 $V_{bb}$ を発生する負電位発生回路152と、接地される外部パッド131と、負電位 $V_{bb}$ または接地電位 $V_{ss}$ を切換えてウェル151に供給するための切換スイッチ132を含む。切換スイッチ132の一方切換端子132aは負電位発生回路152の出力に接続され、その他方切換端子132bは外部パッド131に接続され、その共通端子132cはウェル151に接続される。切換スイッチ132は、図89で示したものと同じであって、テストモードイネーブル信号 $\phi test$ によって制御される。

【0221】次に、動作について説明する。通常モードにおいてはテストモードイネーブル信号 $\phi test$ が「L」レベルであり切換スイッチ132の共通端子132cは一方切換端子132aと導通し、ウェル151には負電位発生回路151により負電位 $V_{bb}$ が印加される。これにより、メモリセルトランジスタMTのサブリーク電流が小さく抑えられ、メモリセルMCのディスタブプリフレッシュ特性が良好に保たれる。

【0222】次いで図83で示したタイミングで加速テストモードのセットタイミングに入ると、テストモードイネーブル信号 $\phi test$ が「H」レベルに立上がり、切換スイッチ132の共通端子132cが他方切換端子132bと導通し、ウェル151が外部パッド131を介して接地される。したがって、メモリセルトランジスタMTのサブリーク電流が増加し、メモリセルMCのディスタブプリフレッシュ特性が悪化する。よって、テスト時間の短縮化を図られる。次いで、リセットサイクルに入ると、テストモードイネーブル信号 $\phi test$ が「L」レベルに立下がり、ウェル151には再び負電位 $V_{bb}$ が印加される。

【0223】なお、上記第1～第8の実施例と組み合わせれば、メモリセルMCのディスタブプリフレッシュ特性を一層悪化させることができ、テスト時間短縮の効果はさらに増す。

【0224】

【発明の効果】請求項1に係る発明によれば、ビット線とメモリセルとセンスアンプ群の低レベル電位のラインを接地電位よりも高い電位に設定するようにしたので、ディスタブプリフレッシュに強くなり、メモリセルトランジスタのしきい値電圧を低く設定でき、信頼性の向上を図ることができ、昇圧電圧発生回路も不要にでき、トリプルウェル構造を不要にできる。

【0225】請求項21の発明では、ビット線とメモリセルとセンスアンプの低レベルの電位のラインを接地電位よりも高くしかつこの電位が一定となるように補償するようにしたので、請求項1と同様の効果を得ることができる。

【0226】請求項22に係る発明によれば、センスアンプの駆動時に、センスアンプ駆動ラインの低レベルの電位を接地電位よりも高い電位に設定するようにしたので、請求項1と同様の効果を得ることができる。

【0227】請求項37に係る発明によれば、センスアンプを駆動したとき、転送ゲートのゲート電位を接地電位とし、ビット線の低レベル電位を転送ゲートのしきい値電圧だけ高くすることができるので、請求項1と同様の効果が得られる。

【0228】請求項41に係る発明では、ビット線とメモリセルとセンスアンプの低レベル電位のラインを接地電位よりも高くするとともに、高レベル電位を外部から供給される電源のレベルよりも低い電位に設定することにより、サブスレッショルドリーク電流を減少させることができる。

【0229】請求項50に係る発明では、半導体装置の使用時と非使用時とで高レベル電位と低レベル電位とを変化させるようにしたので、半導体装置の非使用時における電流消費の少なくできる。

【0230】請求項51に係る発明では、チップの使用時と非使用時とで基板電位発生手段と昇圧電圧発生手段とから発生される昇圧電圧の電位と負レベル電位とを任意の電位に切換えるようにしたので、リフレッシュの間隔を延ばすことができ、消費電流の低減を図ることができる。

【0231】請求項52に係る発明では、設定された低レベル電位を補償することにより、スタンバイ時に低レベル電位が低下するのを防止できる。

【0232】請求項53に係る発明では、メモリセルのデータの保持時間をテストするときに、接地電位よりも高い電位に設定された低レベル電位のラインを接地電位に強制する。したがって、テスト時にのみメモリセルのディスタブプリフレッシュ特性を悪化させることができ、テスト時間の短縮化を図ることができる。

【0233】請求項55に係る発明では、メモリセルのデータの保持時間をテストするときに、ワード線駆動手段の低レベル電位のラインを接地電位よりも高い電位に設定するので、テスト時にのみメモリセルのディスタブ

プリフレッシュ特性を悪化させることができ、テスト時間の短縮化を図ることができる。

【0234】請求項57に係る発明では、メモリセルのデータの保持時間をテストするときに、半導体基板の基板電位を通常時の負レベルの基板電位よりも高く設定するので、テスト時にのみメモリセルのディスタープリフレッシュ特性を悪化させることができ、テスト時間の短縮化を図ることができる。

【図面の簡単な説明】

【図1】 従来例とこの発明の概念を対比して説明するための図である。

【図2】 第1の発明の第1実施例を示す回路図である。

【図3】 図2の動作を説明するためのタイムチャートである。

【図4】 第1の発明の第2実施例を示す回路図である。

【図5】 第2の発明の第1実施例を示す回路図である。

【図6】 第2の発明の第2実施例を示す回路図である。

【図7】 第2の発明の第3実施例を示す回路図である。

【図8】 第2の発明の第4実施例を示す回路図である。

【図9】 図8の動作を説明するためのタイムチャートである。

【図10】 第3の発明の第1実施例を示す回路図である。

【図11】 図10に示した実施例の動作を説明するためのタイムチャートである。

【図12】 第3の発明の第2実施例を示す回路図である。

【図13】 図12の動作を説明するためのタイムチャートである。

【図14】 第3の発明の第3実施例の動作を説明するためのタイムチャートである。

【図15】 第4の発明の第1実施例を示す回路図である。

【図16】 図15のスイッチ回路の一例を示す図である。

【図17】 図15の動作を説明するためのタイムチャートである。

【図18】 第4の発明の第2実施例を示すブロック図である。

【図19】 図18に示したスイッチ回路の一例を示す回路図である。

【図20】 図18の動作を説明するためのタイムチャートである。

【図21】 第4の発明の第3実施例の動作を説明する

ためのタイムチャートである。

【図22】 第5の発明の第1実施例を示す回路図である。

【図23】 第6の発明の第1実施例を示す回路図である。

【図24】 図23の動作を説明するためのタイムチャートである。

【図25】 第6の発明の第2実施例を示す回路図である。

【図26】 第6の発明の第3実施例を示す回路図である。

【図27】 図26の動作を説明するためのタイムチャートである。

【図28】 第6の発明の第4実施例を示す回路図である。

【図29】 第6の発明の第5実施例を示す回路図である。

【図30】 第6の発明の第6実施例を示す回路図である。

【図31】 第6の発明の第7実施例を示す回路図である。

【図32】 第6の発明の第8実施例を示す回路図である。

【図33】 図32のカレントセンサを比較回路として用いた実施例を示す回路図である。

【図34】 カレントセンサの他の例を示す回路図である。

【図35】 カレントセンサのさらに他の例を示す回路図である。

【図36】 ヒステリシス特性を持たせたカレントセンサの回路図である。

【図37】 第6の発明をメモリセルのデータの保持時間をテストするテスト回路に適用した例を示すブロック図である。

【図38】 第6の発明を各メモリブロックごとに適用した一例を示す図である。

【図39】 第6の発明を各メモリブロックごとに適用した他の例を示す図である。

【図40】 第6の発明を各メモリブロックに適用したさらに他の例を示す図である。

【図41】 第6の発明を各メモリブロックに適用したその他の実施例を示す図である。

【図42】 第7の発明の第1実施例を示す回路図である。

【図43】 図42に示した実施例の動作を説明するためのタイムチャートである。

【図44】 メモリセルのサブスレッシュホールド電流の流れる経路を説明するための図である。

【図45】 第7の発明の第1実施例の断面図である。

【図46】 行プリデコード出力X<sub>i</sub>, j, kの発生回



路を示す図である。

【図 47】 マスタロウデコード信号  $\phi x 1$  の発生回路を示す図である。

【図 48】 ワード線駆動信号発生回路を示す回路図である。

【図 49】 コラム S F U / L 信号発生回路を示す図である。

【図 50】 C S L 信号を発生する回路図である。

【図 51】 第 7 の発明の第 2 実施例を示す回路図である。

【図 52】 図 51 の実施例の動作を説明するためのタイムチャートである。

【図 53】 第 7 の発明の第 3 実施例を示す回路図である。

【図 54】 図 53 に示した実施例の動作を説明するためのタイムチャートである。

【図 55】 第 7 の発明の第 4 実施例を示す回路図である。

【図 56】 図 55 に示した実施例の動作を説明するためのタイムチャートである。

【図 57】 第 8 の発明の原理を説明するための図である。

【図 58】 第 8 の発明においてワード線のサブスレッショルドリーク電流を説明するための図である。

【図 59】 第 8 の発明の第 1 実施例を示す回路図である。

【図 60】 図 59 に示した実施例における I C 動作電圧を示す図である。

【図 61】 図 59 に示した実施例における基準電圧の変化を示す図である。

【図 62】 図 59 に示した基準電圧を発生するための基準電圧発生回路の一例を示す電気回路図である。

【図 63】 図 62 に示した基準電圧発生回路の改良例を示す図である。

【図 64】 図 62 に示した基準電圧発生回路のさらに他の改良例を示す図である。

【図 65】 図 64 に示した基準電圧発生回路の動作を説明するための波形図である。

【図 66】 基準電圧発生回路のさらに他の例を示す図である。

【図 67】 基準電圧発生回路のさらにその他の例を示す回路図である。

【図 68】 チップを使用していないときに、リフレッシュ動作を行なう場合に、消費電力の低減を行なうようにした実施例の回路図である。

【図 69】 図 68 の動作を説明するためのタイムチャートである。

【図 70】 図 68 の動作を説明するためのタイムチャートである。

【図 71】 チップの非使用時に基板電位発生回路と昇

圧電圧発生回路の動作を制御するようにした実施例を説明するための図である。

【図 72】 基板電位発生回路の一例を示す図である。

【図 73】 昇圧電圧発生回路の一例を示す図である。

【図 74】 第 8 の発明を用いた場合の L S I 内部での回路図である。

【図 75】 第 9 の発明の一実施例を示す図である。

【図 76】 図 75 に示した基準電圧  $V_{ref}$  とゲート電圧  $V_p$  を発生するための回路図である。

10 【図 77】 図 76 に示した抵抗をトランジスタに代えて構成した一例を示す図である。

【図 78】 図 75 に示した実施例の改良例を示す図である。

【図 79】 第 9 の発明の他の実施例を示す回路図である。

【図 80】 図 78 に示した例の改良例を示す図である。

【図 81】 図 80 に示した例の改良例を示す図である。

20 【図 82】 第 10 の発明の第 1 の実施例を示す回路ブロック図である。

【図 83】 図 82 に示した実施例の動作を説明するためのタイムチャートである。

【図 84】 第 10 の発明の第 2 の実施例を示す回路ブロック図である。

【図 85】 図 84 に示した実施例の疑似 GND レベル発生回路を示す回路図である。

【図 86】 第 10 の発明の第 3 の実施例を示す回路ブロック図である。

30 【図 87】 第 10 の発明の第 4 の実施例を示す回路ブロック図である。

【図 88】 図 87 の実施例の動作を説明するためのタイムチャートである。

【図 89】 第 10 の発明の第 5 の実施例を示す回路ブロック図である。

【図 90】 図 89 に示した実施例の切換スイッチを示す回路図である。

【図 91】 第 10 の発明の第 6 の実施例を示す回路ブロック図である。

40 【図 92】 図 91 に示した実施例の要部拡大図である。

【図 93】 センスアンプ活性化信号 S O N 1 を出力する回路を示す回路ブロック図である。

【図 94】 センスアンプ活性化信号 S O N 2 を出力する回路を示す回路ブロック図である。

【図 95】 図 92 に示した例の改良例を示す図である。

【図 96】 第 10 の発明の第 7 の実施例を示す要部拡大図である。

50 【図 97】 図 96 に示した例の改良例を示す図であ

る。

【図98】 第10の発明の第8の実施例を示す回路ブロック図である。

【図99】 図98に示した実施例の動作を説明するためのタイムチャートである。

【図100】 第10の発明の第9の実施例を示す回路ブロック図である。

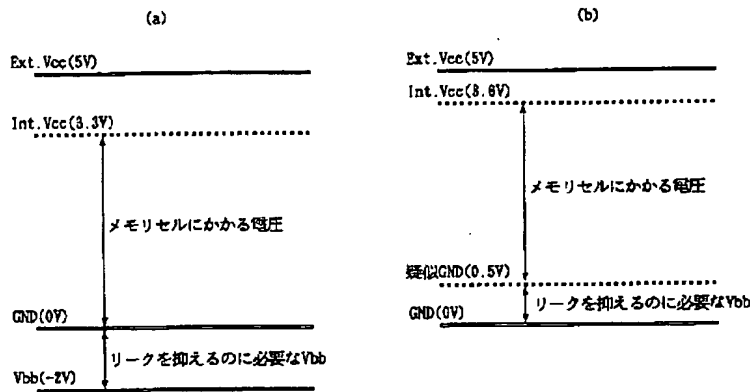
【図101】 従来の半導体メモリセルアレイの回路図である。

【図102】 図101に示したメモリセルアレイの動作を説明するためのタイムチャートである。

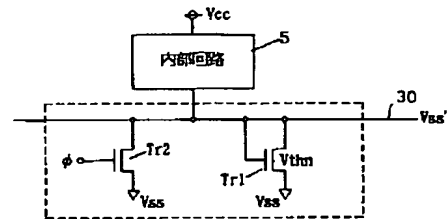
# 【符号の説明】

2, 4, 13 センスアンプ、5 内部回路、7 クランプ回路、8 差動増幅回路、9 負電位発生回路、10 ワードドライバ、11 ロウデコーダ、12 スイッチ、15 サスティン回路、16 発振器、17 ポンピング回路、18 基準電圧発生回路、19 疑似GNDレベル発生回路、20 比較回路、21 抵抗、30 疑似GND線、31, 32 カレントセンサ、40, 41 制御回路、50 メモリブロック、60 1行アドレスバッファ、62 行プリデコーダ、63 サブデコーダ、64 行デコーダ。

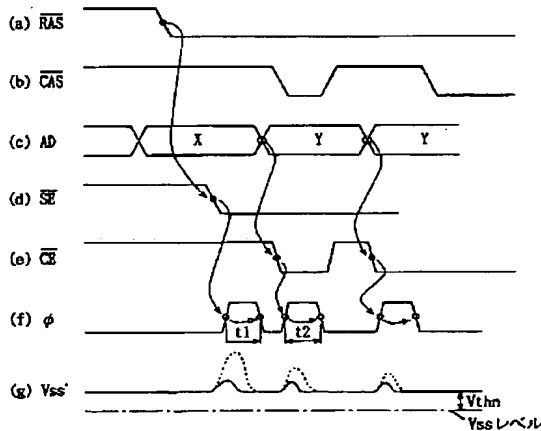
【図1】



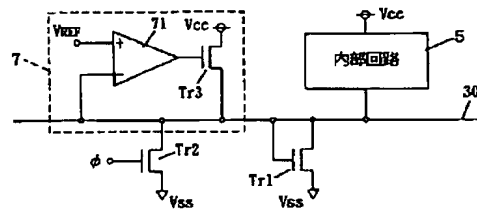
【図2】



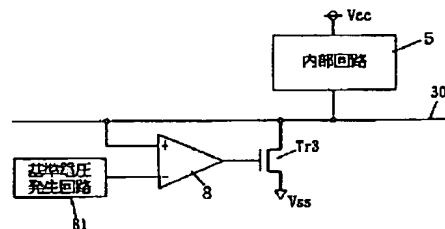
【図3】



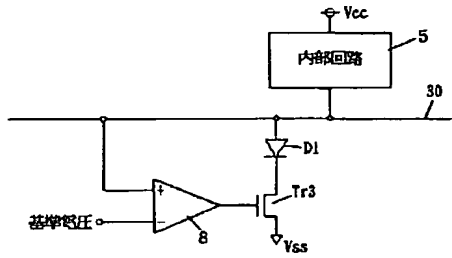
【図4】



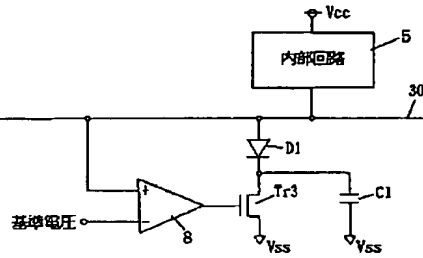
【図5】



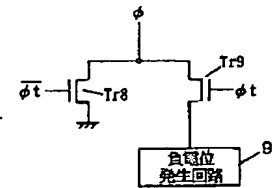
【図6】



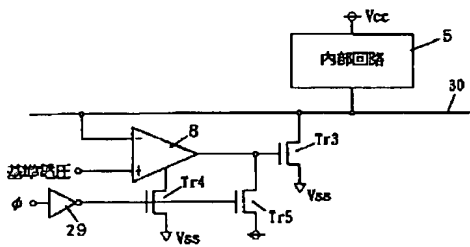
【図7】



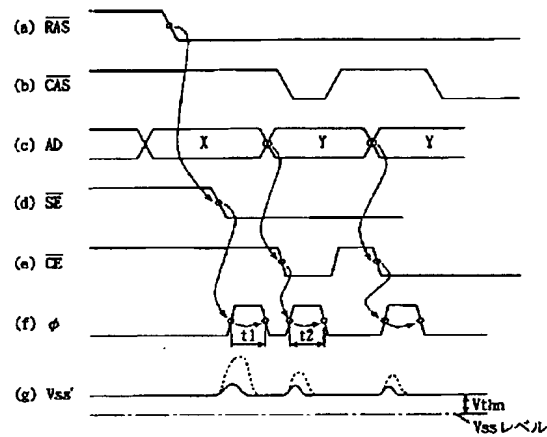
【図12】



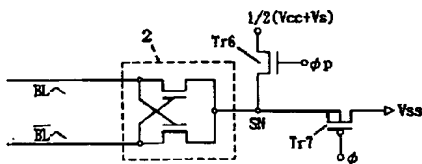
【図8】



【図9】



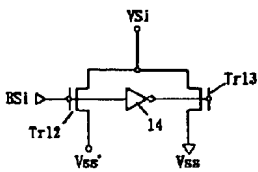
【図10】



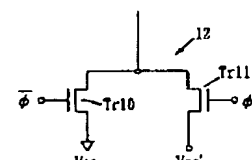
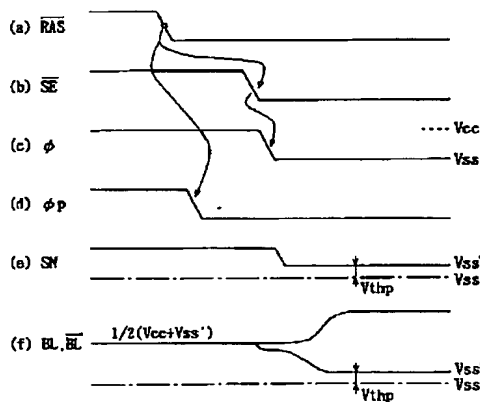
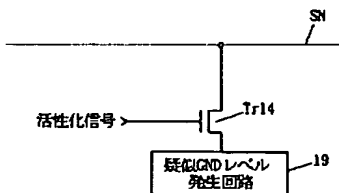
【図11】

【図16】

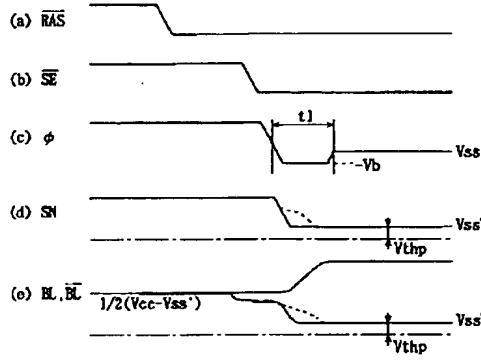
【図19】



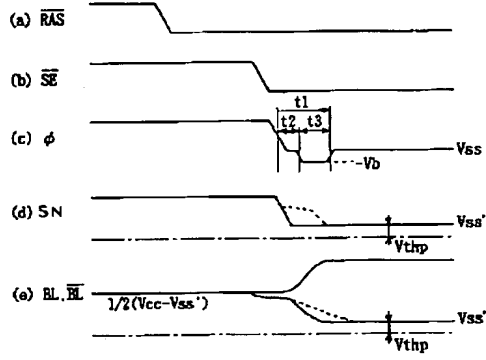
【図25】



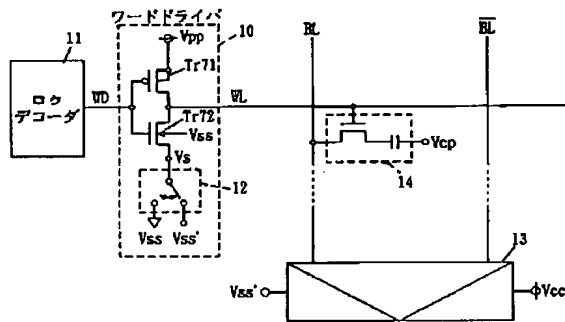
【図13】



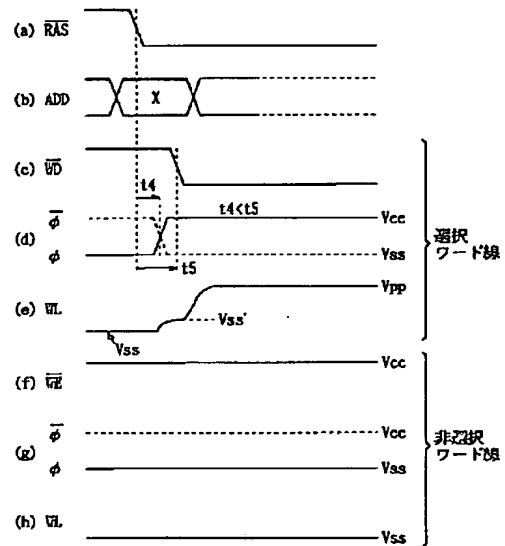
【図14】



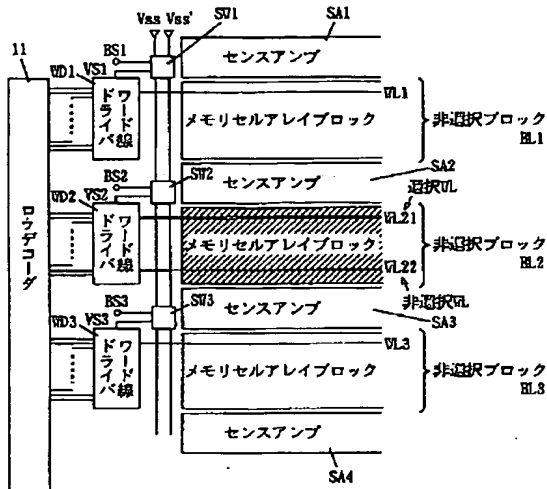
【図15】



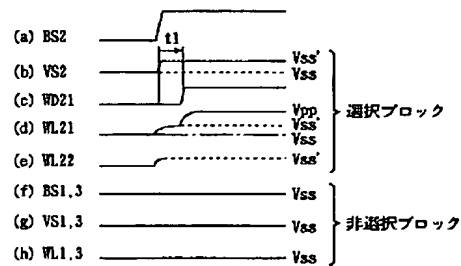
【図17】



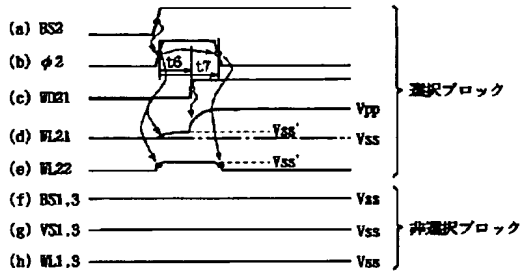
【図18】



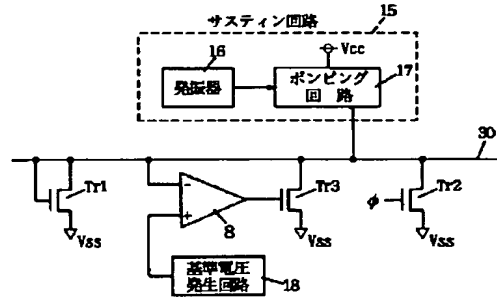
【図20】



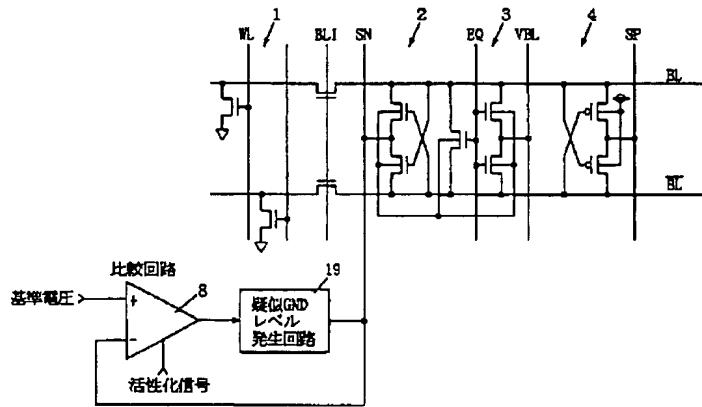
【図21】



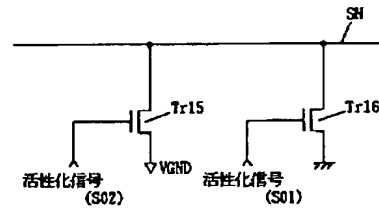
【図22】



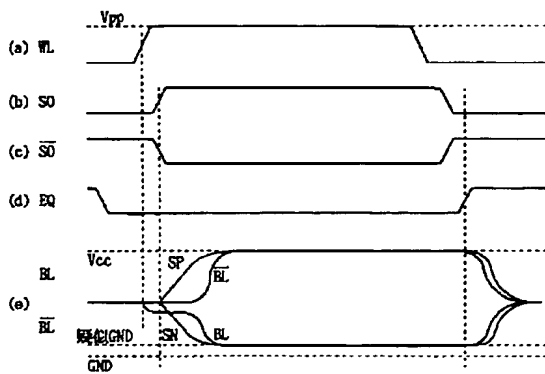
【図23】



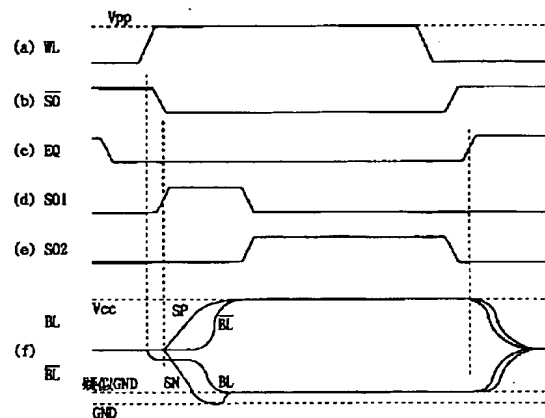
【図26】



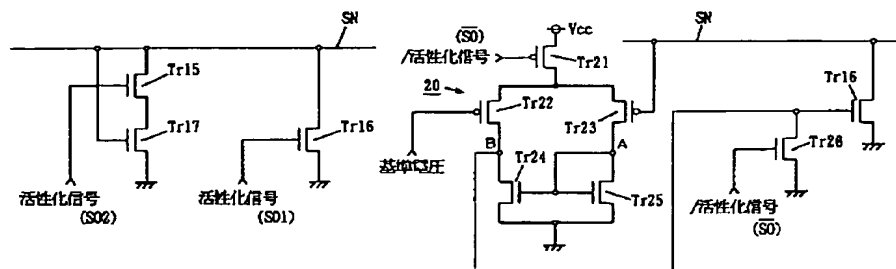
【図24】



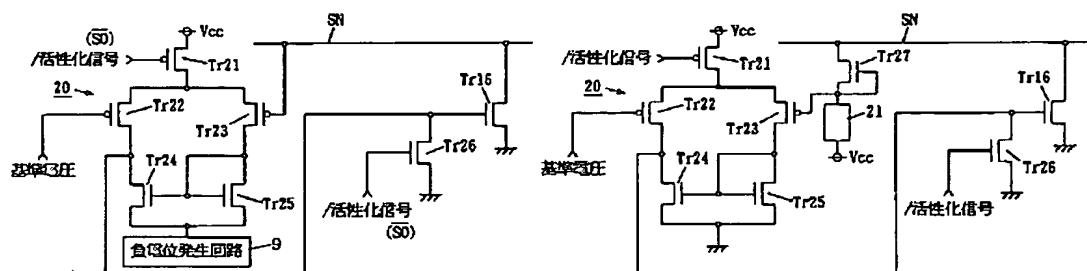
【図27】



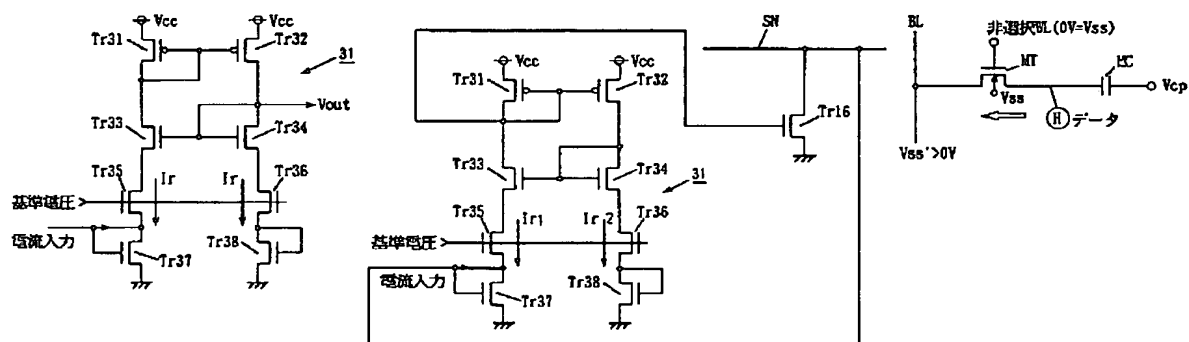
【图 29】



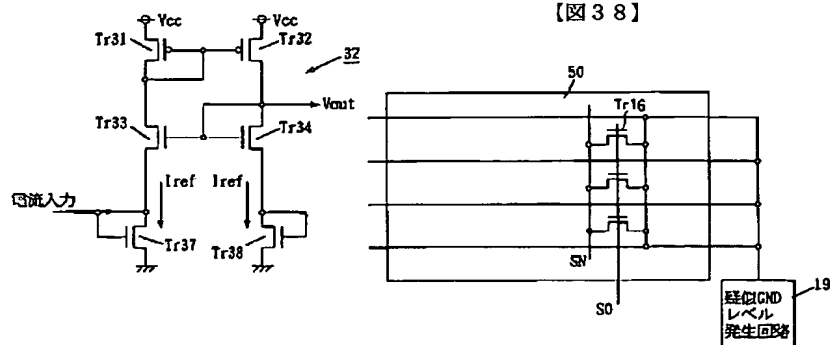
【图 3 1】



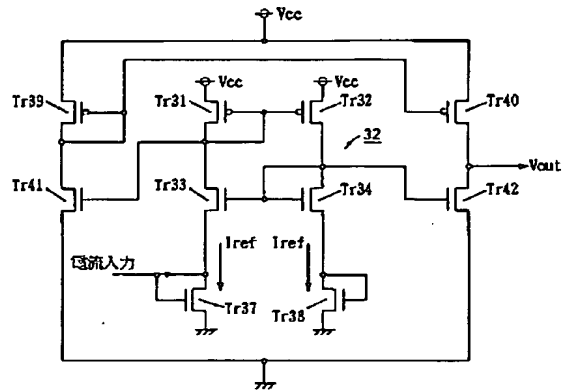
【图 4-4】



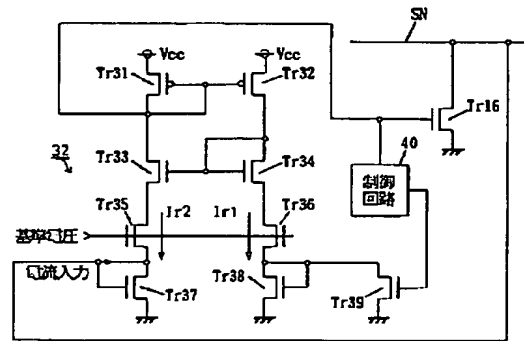
【图 3 8】



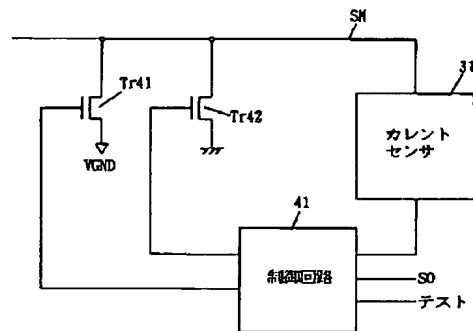
【図35】



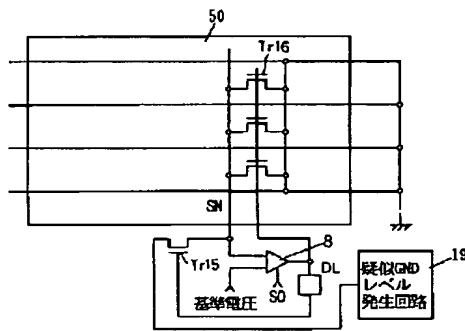
【図36】



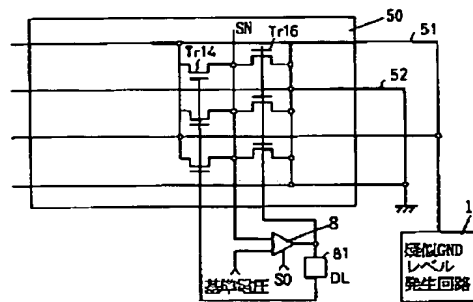
【図37】



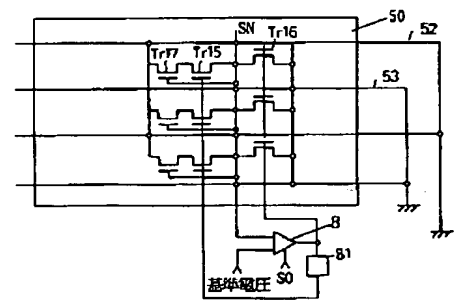
【図39】



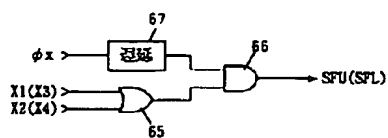
【図40】



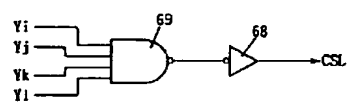
【図41】



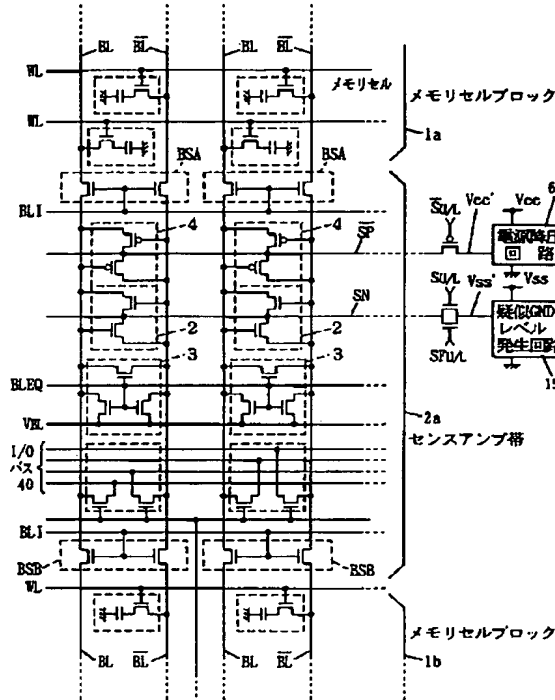
【図49】



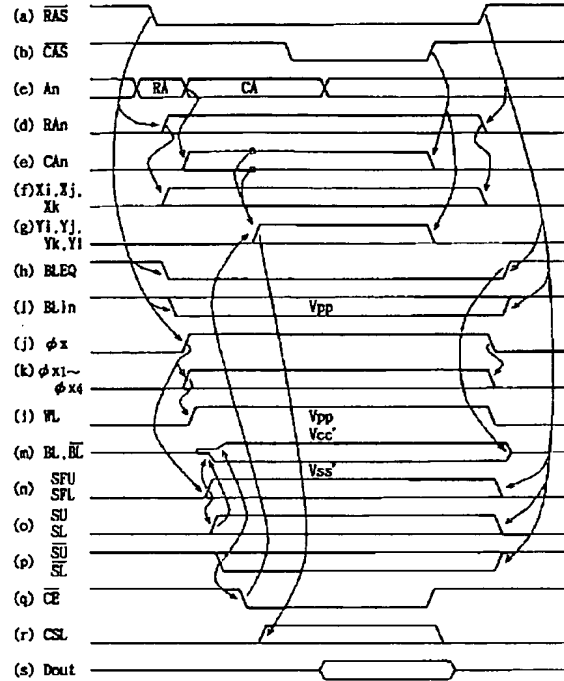
【図50】



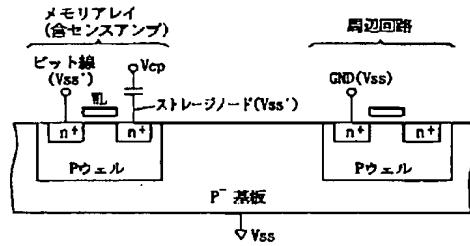
【図42】



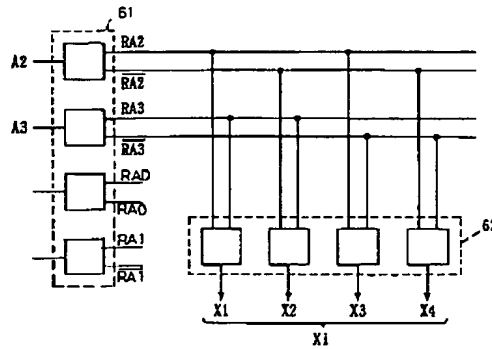
【図43】



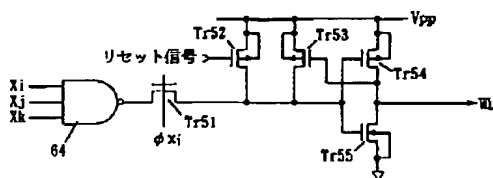
【図45】



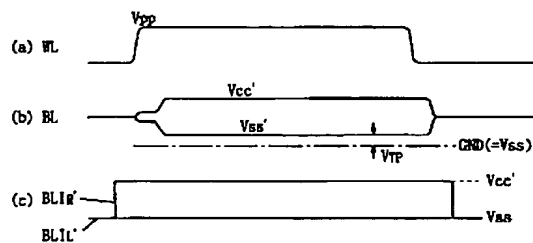
【図46】



【図48】

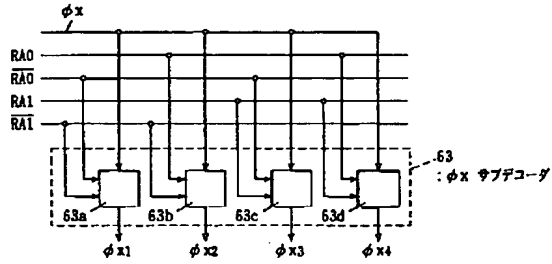


【図52】

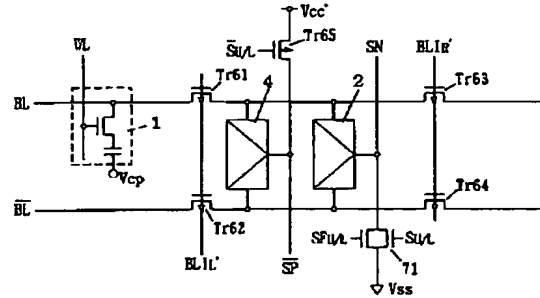




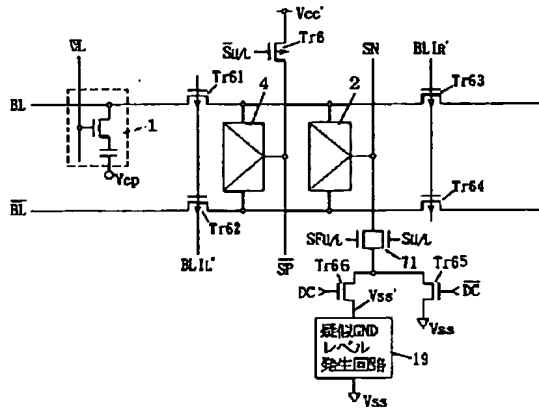
【図47】



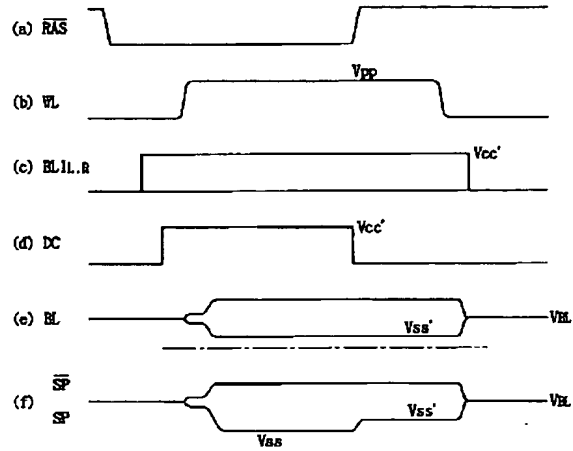
【図51】



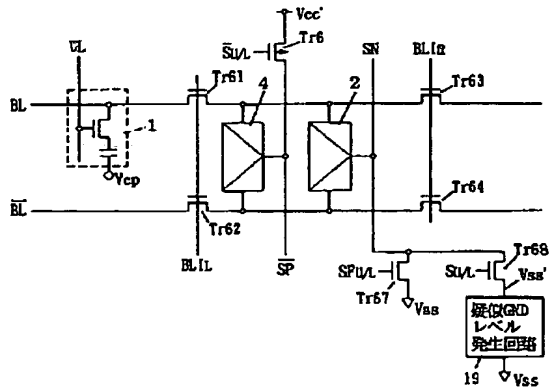
【図53】



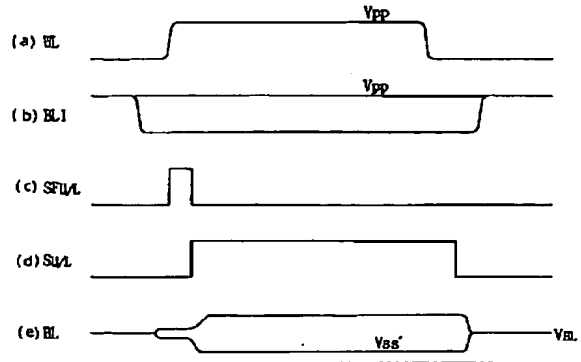
【図54】



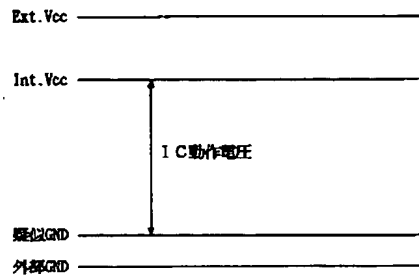
【図55】



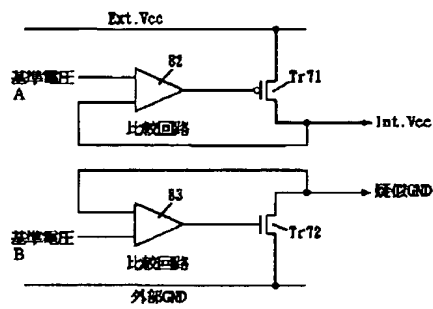
【図56】



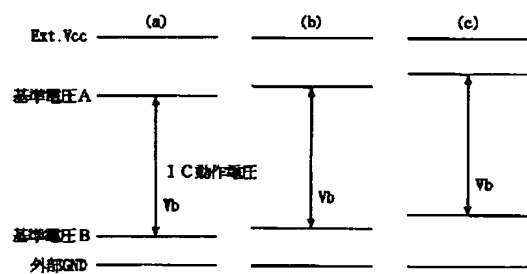
【図57】



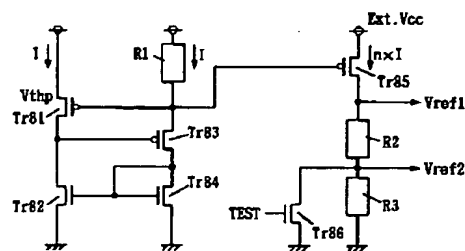
【図59】



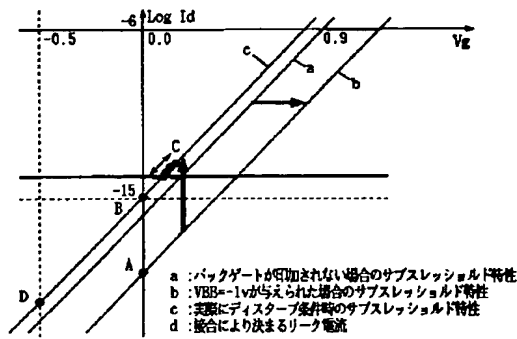
【図61】



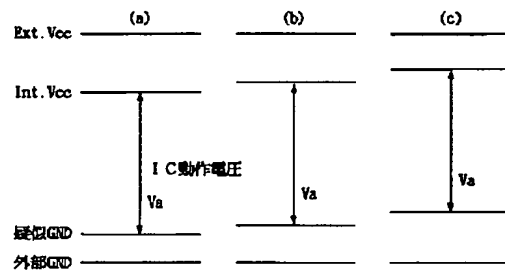
【図64】



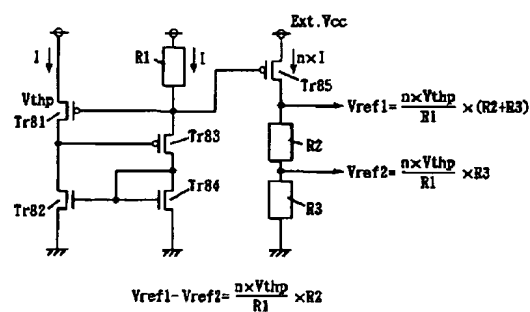
【図58】



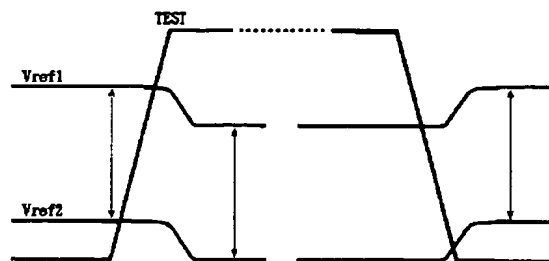
【図60】



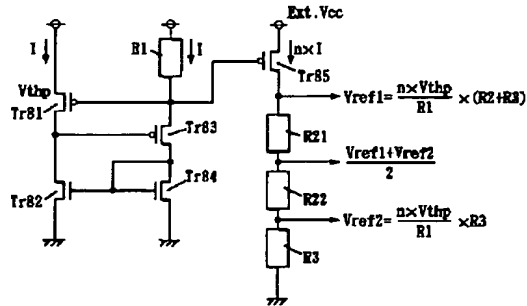
【図62】



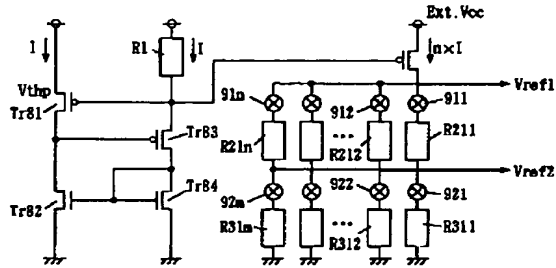
【図65】



【図63】

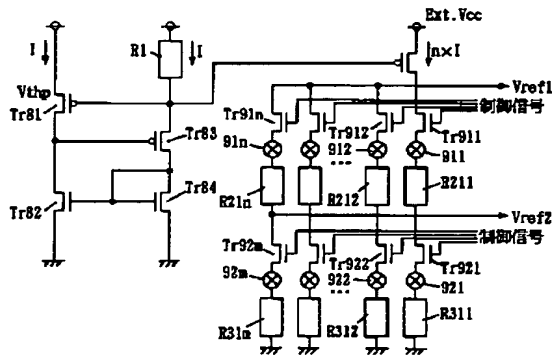


【図66】

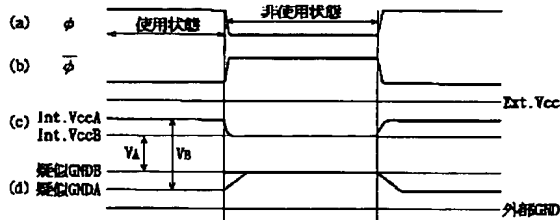
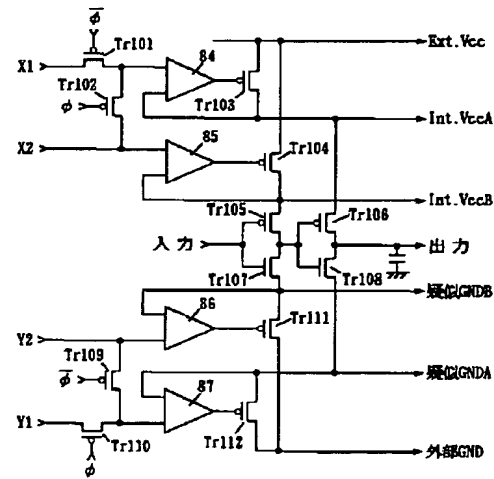


【図68】

【図67】

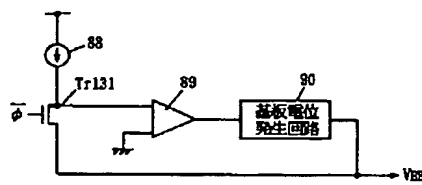
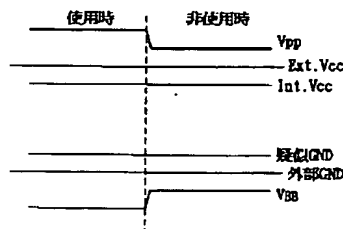


【図69】

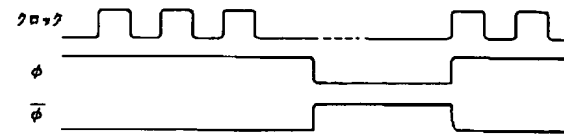


【図71】

【図72】

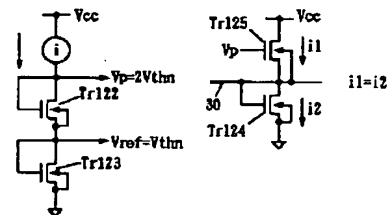


【図70】

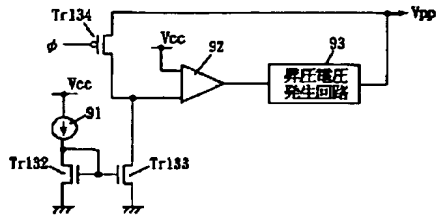


【図77】

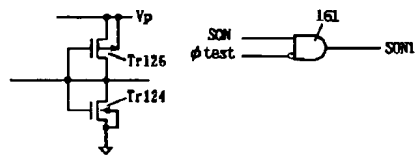
【図78】



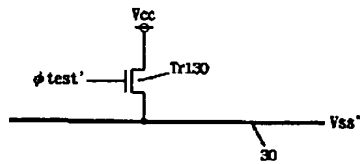
【図73】



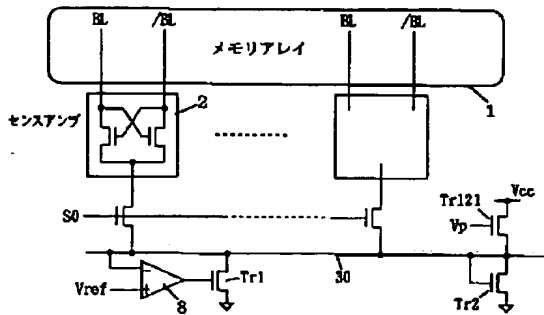
【図81】



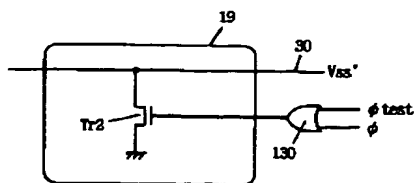
【図87】



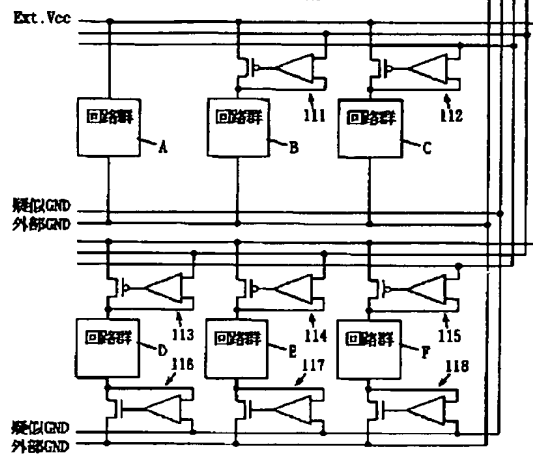
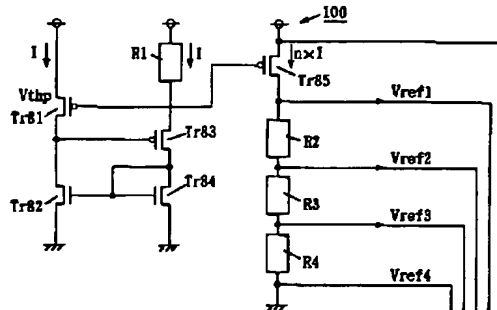
【図75】



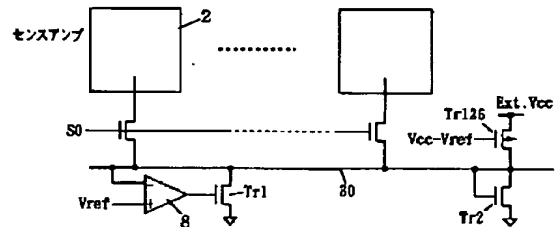
【図86】



【図74】

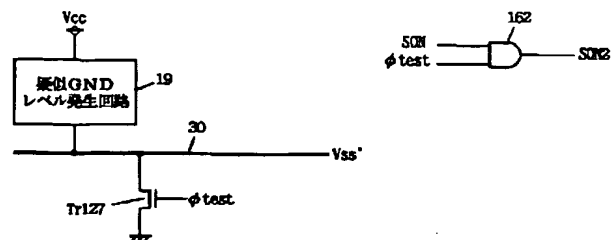


【図79】



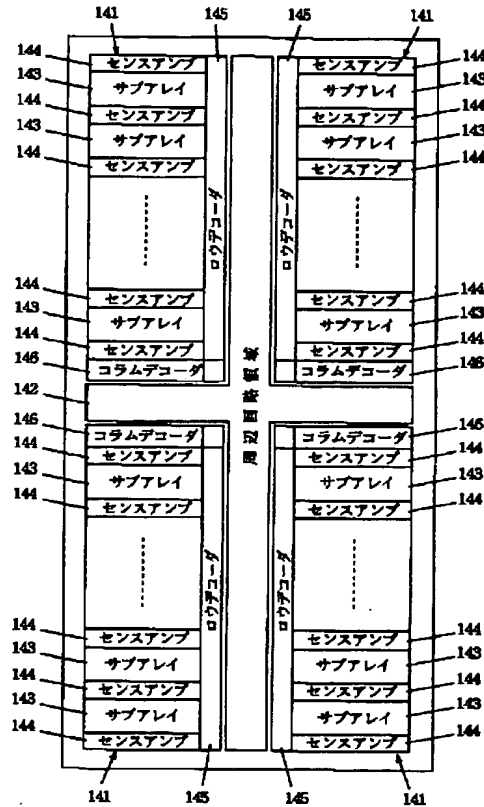
【図82】

【図94】

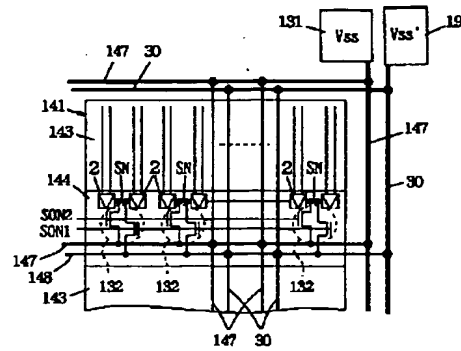




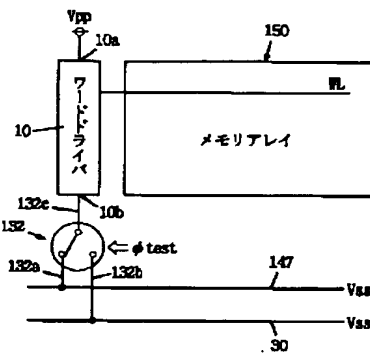
【図91】



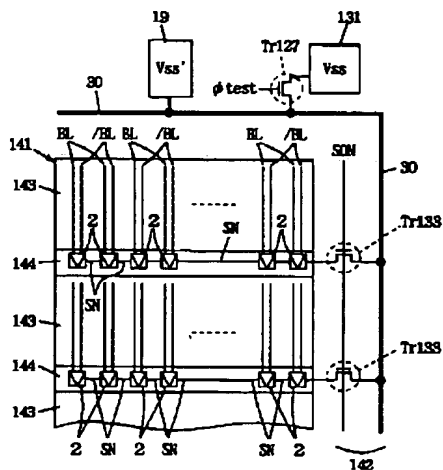
【図95】



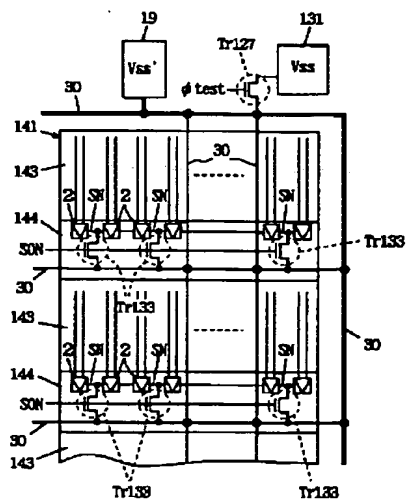
【図98】



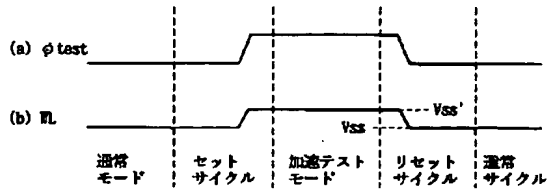
【図96】



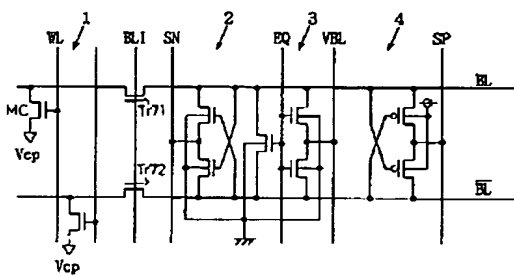
【図97】



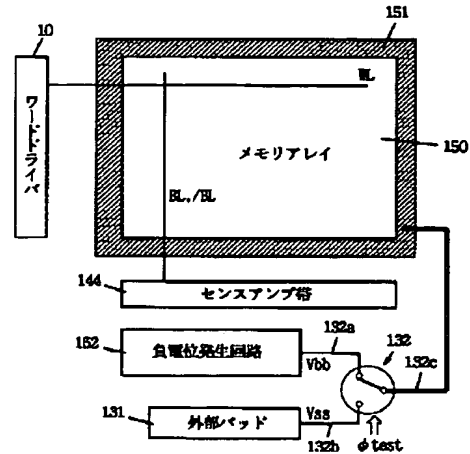
【図99】



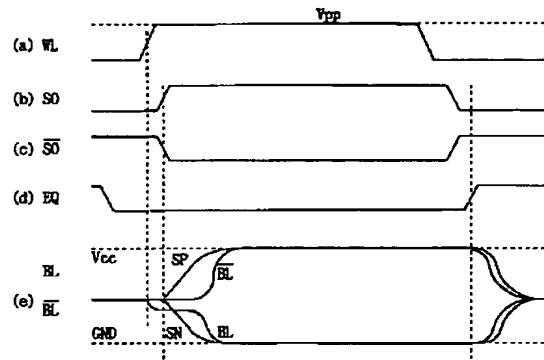
【図101】



【図100】



【図102】



フロントページの続き

(72)発明者 朝倉 幹雄

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

(72)発明者 藤島 一康

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

(72)発明者 大石 司

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

(72)発明者 有本 和民

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

(72)発明者 築出 正樹

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内